



# **INSTITUTO UNIVERSITARIO AERONÁUTICO**

Faculta de Ingeniería

## **Diseño e implementación de circuito impreso multicapa dedicado para sistema de control embebido basado en plataforma C1AA.**

**Por:** Juan José Julca Yaya

**Director:** Ing. Javier Fernández

15 de diciembre de 2016



# **“Diseño e implementación de circuito impreso multicapa dedicado para sistema de control embebido basado en plataforma CIAA.”**

Por

Juan José Julca Yaya

## **Resumen**

Se diseña e implementa un circuito impreso de cuatro capas para un sistema de control embebido, aplicando reglas de diseño orientadas a preservar la compatibilidad electromagnética del mismo. Luego, mediante simulación del diseño en software especializado, se tratará de predecir el comportamiento del circuito.

Córdoba, 15 de diciembre de 2016

# Contenidos

<b>1</b>	<b>Introducción</b>	<b>1</b>
<b>2</b>	<b>Marco Teórico</b>	<b>3</b>
2.1.	Circuitos Impresos . . . . .	3
2.1.1.	Software de diseño . . . . .	4
2.1.2.	Esquemáticos . . . . .	4
2.1.3.	Huella . . . . .	5
2.1.4.	Editor de Esquemático . . . . .	6
2.1.5.	Editor de PCB . . . . .	7
2.2.	Interferencia Electromagnética . . . . .	7
2.2.1.	Compatibilidad Electromagnética . . . . .	7
2.2.2.	Regulaciones de EMC . . . . .	8
2.3.	Radiaciones de Circuitos Digitales . . . . .	9
2.3.1.	Modo Diferencial . . . . .	9
2.3.2.	Modo Común . . . . .	10
2.4.	Comportamiento de componentes pasivos en radiofrecuencia . . . . .	10
2.4.1.	Pistas de cobre . . . . .	12
2.4.2.	Capacitores . . . . .	13
2.4.3.	Factor de disipación . . . . .	15
2.4.4.	Capacitores en paralelo . . . . .	15
2.4.5.	Inductores . . . . .	17
2.4.6.	Chips de ferrite . . . . .	18
<b>3</b>	<b>Diseño del esquemático del PCB en software CAD</b>	<b>21</b>
3.1.	PCB basado en plataforma CIIA . . . . .	21
3.2.	Biblioteca de componentes . . . . .	21
3.3.	División del esquemático . . . . .	22
3.4.	Esquemático Principal . . . . .	22



3.4.1. Circuito Oscilador . . . . .	22
3.4.2. Botón de Reset . . . . .	24
3.4.3. Conversores analógico-digitales . . . . .	25
3.4.4. Conversor digital-analógico . . . . .	26
3.4.5. Salidas de alimentación . . . . .	26
3.5. Fuente Conmutada . . . . .	26
3.5.1. Filtro LC . . . . .	27
3.5.2. Diodo de freewheeling . . . . .	28
3.5.3. Capacitor de entrada . . . . .	29
3.5.4. Otras consideraciones . . . . .	29
3.5.5. Ripple a la salida . . . . .	31
3.6. Fuente Lineal . . . . .	32
3.7. PWR/GND . . . . .	35
3.7.1. Capacitor de desacoplo . . . . .	39
3.8. GPIO . . . . .	43
3.8.1. Interruptores de entrada . . . . .	44
3.9. Dispositivos I2C . . . . .	45
3.9.1. Resistencias de pull up . . . . .	45
3.10. Dispositivos varios . . . . .	50
3.10.1. LEDs indicadores . . . . .	50
3.10.2. Módulo XBee . . . . .	51
3.10.3. Módulo GPS . . . . .	51
3.10.4. Sensor de Corriente . . . . .	52
3.10.5. Memoria SD . . . . .	52
3.10.6. Sensor de presión diferencial . . . . .	54
3.10.7. Sensor de voltaje de batería . . . . .	55
3.11. Debugger . . . . .	56
3.12. Diseño de un Debugger basado en FT2232H . . . . .	56
<b>4 Diseño de PCB de 4 capas . . . . .</b>	<b>59</b>
4.1. Esquemático a PCB . . . . .	59
4.2. Biblioteca de Huellas . . . . .	60
4.3. Stack Up . . . . .	60
4.4. Reglas de Diseño . . . . .	60
4.4.1. Reducción de loops de GND . . . . .	61
4.4.2. Caminos de baja inductancia para señales de alta frecuencia . . . . .	65
4.4.3. Crosstalk . . . . .	66



---

4.4.4. CTC . . . . .	67
4.4.5. Ruteo de los capacitores de desacoplo . . . . .	72
4.5. Reglas de fabricación . . . . .	73
4.6. Generación de archivos de fabricación . . . . .	78
4.7. Capas . . . . .	78
<b>5 Simulación de PCB diseñado</b>	<b>83</b>
5.1. De Altium a SIwave . . . . .	83
5.2. Simulación de Campo Cercano . . . . .	85
5.3. Resultados de simulación . . . . .	86
<b>6 Implementación</b>	<b>89</b>
<b>7 Diseño de PCB de 2 capas para Debugger</b>	<b>91</b>
7.1. Debugger implementado . . . . .	92
7.2. Prueba de funcionamiento . . . . .	92
<b>8 Conclusiones y trabajos futuros</b>	<b>95</b>
<b>Anexo A Esquemáticos</b>	<b>97</b>
<b>Anexo B Simulación con 20 inversores</b>	<b>107</b>
<b>Bibliografía</b>	<b>109</b>

# Índice de figuras

2.1. Esquemático de conector de memoria SD. . . . .	5
2.2. Huella del conector de memoria SD. . . . .	6
2.3. Tensión $V$ usando el cable como antena. . . . .	11
2.4. Irradiación en modo común. . . . .	11
2.5. Dimensiones de pista que definen inductancia. . . . .	12
2.6. Modelo que aproxima un capacitor real. . . . .	13
2.7. Respuesta frecuencia-impedancia de un capacitor cerámico. . . . .	14
2.8. Curvas frecuencia vs. impedancia correspondientes a $C_{CER}$ , $C_{TANT}$ y $C_{PAR}$ . . . . .	16
2.9. Modelo de un inductor real. . . . .	17
2.10. Respuesta frecuencia-impedancia . . . . .	18
2.11. Modelo de un chip de ferrite. . . . .	19
2.12. Curva frecuencia vs. impedancia correspondiente a un chip de ferrite. . . . .	20
3.1. Estructura del esquemático. . . . .	23
3.2. Circuito del oscilador Pierce . . . . .	23
3.3. Circuito del botón de reset. . . . .	24
3.4. Circuito de simulación del botón reset. . . . .	25
3.5. Resultado de la simulación del botón reset . . . . .	26
3.6. Circuito de la fuente conmutada . . . . .	27
3.7. Circuito de simulación SMPS. . . . .	30
3.8. (izquierda) tiempo vs. voltaje de salida (derecha) tiempo vs. corriente del Zener para $R_L=5 \Omega$ . . . . .	30
3.9. (izquierda) tiempo vs. voltaje de salida (derecha) tiempo vs. corriente del Zener para $R_L=50 \Omega$ . . . . .	31
3.10. Ripple de voltaje para tres corrientes cuando la entrada es $V_{in} = 16 V$ . . . . .	31
3.11. Ripple de voltaje para tres corrientes cuando la entrada es $V_{in} = 24 V$ . . . . .	32
3.12. Regulador lineal con salida $3.3 V$ y filtrado con ferrites . . . . .	33
3.13. Esquema de simulación de la fuente lineal con ruido inyectado. . . . .	34
3.14. Respuesta del regulador lineal. . . . .	34



3.15. Ampliación de figura 3.14 en estado de régimen. . . . .	35
3.16. Inversor con transistores de $0.35 \mu m$ de ancho de canal. . . . .	36
3.17. Circuito de simulación con inversor. . . . .	37
3.18. Resultados de la simulación del inversor. . . . .	37
3.19. Fuente ideal afectada por conmutaciones del inversor. . . . .	38
3.20. Fuente ideal afectada por 60 inversores. . . . .	38
3.21. Alimentación con capacitor de desacoplo Ideal, Tantalio y Cerámico. . . . .	40
3.22. Simulación con 20 inversores a $10 MHz$ y tiempo de crecimiento $10 ns$ . . . . .	42
3.23. Esquemático de alimentación del microcontrolador NXP LPC4337. . . . .	43
3.24. Esquemático de interruptores. . . . .	44
3.25. Esquemático de conexión del bus $I^2C$ del microcontrolador. . . . .	46
3.26. Esquemático del LSM303D. . . . .	47
3.27. Esquemático del 24AA1025. . . . .	48
3.28. Esquemático del LPS331. . . . .	48
3.29. Esquemático del L3GD20H. . . . .	49
3.30. Esquemático del PC9685PW. . . . .	49
3.31. Esquemático de Leds indicadores. . . . .	50
3.32. Esquemático XBEE XB24-API-001. . . . .	51
3.33. Esquemático GPS EM 506. . . . .	52
3.34. Sensor de Corriente. . . . .	53
3.35. Memoria SD. . . . .	53
3.36. Sensor de Presión Diferencial. . . . .	54
3.37. Sensor de Voltaje de Batería. . . . .	55
3.38. Esquemático del puerto de Debug. . . . .	56
3.39. Esquemático del debugger externo. . . . .	57
4.1. Stack Up del fabricante. . . . .	60
4.2. Stack Up en Altium. . . . .	61
4.3. Conexión con plano de masa perfecto. . . . .	62
4.4. Diferencia de potencial entre las referencias GND1 y GND2. . . . .	63
4.5. Circuito IC2 e IC1 conectados a GND . . . . .	64
4.6. Esquemático anexo al de la figura 3.36. . . . .	64
4.7. Unión de GND local del microcontrolador a plano de masa en un solo punto. . . . .	65
4.8. Distribución de corriente de retorno. . . . .	66
4.9. Abertura en el plano de masa debajo de una pista portadora de señal. . . . .	66
4.10. Plano de masa continuo sobre las pistas de alta frecuencia del oscilador a cristal. . . . .	67
4.11. CTC. . . . .	68





4.12. Minimización de área solapada entre pistas. . . . .	68
4.13. CTI. . . . .	69
4.14. Pista fuente y pista víctima de CTI. . . . .	70
4.15. Aplicación de regla para disminuir el CTI. . . . .	71
4.16. Ruteo de los capacitores de desacoplo. . . . .	72
4.17. Configuración de reglas de espaciado entre elementos. . . . .	74
4.18. Configuración de regla de mínimo diámetro de perforación. . . . .	74
4.19. Pistas sin polígono a GND. . . . .	75
4.20. Pistas con polígono a GND. . . . .	75
4.21. Conexión directa de vía a GND. . . . .	76
4.22. Conexión aliviada de vía a GND. . . . .	76
4.23. Distancia polígonos - pistas/vías. . . . .	77
4.24. Configuración de distancia mínima despejada desde el borde del PCB. . . . .	77
4.25. Pistas interiores a plano de GND que rodea todo el PCB. . . . .	78
4.26. GERBER de la capa Top. . . . .	79
4.27. GERBER de la capa GND. . . . .	79
4.28. GERBER de la capa SIGNAL_PWR. . . . .	80
4.29. GERBER de la capa Bottom. . . . .	80
4.30. Pre-visualización de PCB implementado (vista frontal). . . . .	81
4.31. Pre-visualización de PCB implementado (vista trasera). . . . .	82
5.1. Exportación de modelo ODB++ desde Altium Designer. . . . .	84
5.2. Vista de todas las capas del PCB en formato ODB++. . . . .	84
5.3. Importación de ODB++ en SIWave. . . . .	84
5.4. Modelo Importado en SIWave. . . . .	85
5.5. Selección de simulación en campo cercano. . . . .	85
5.6. Pico de campo eléctrico en 600 MHz. . . . .	86
5.7. Pico de campo eléctrico en 700 MHz. . . . .	87
6.1. PCB multicapa implementado (Vista frontal). . . . .	89
6.2. PCB multicapa implementado (Vista trasera). . . . .	90
7.1. Capa «Top» del debugger. . . . .	91
7.2. Capa «Bottom» del debugger. . . . .	92
7.3. Vista superior de la placa Debugger. . . . .	92
7.4. Vista inferior de la placa Debugger. . . . .	93
7.5. Sistema embebido conectado al debugger corriendo una aplicación. . . . .	93
A.1. Esquemático Principal. . . . .	98



---

A.2. PWR-GND. . . . .	99
A.3. Fuente Conmutada. . . . .	100
A.4. USB-OTG. . . . .	101
A.5. ONBOARD PERIPHERALS. . . . .	102
A.6. DEBUG. . . . .	103
A.7. GPIO I. . . . .	104
A.8. GPIO II. . . . .	105
B.1. Simulación con 20 inversores. . . . .	108

# Índice de tablas

- 2.1. Límites de raduación FCC a 3 m. . . . . 9
- 3.1. Tabla de selección rápida de capacitor/inductor de filtro . . . . . 28
- 3.2. Inductacia equivalente en serie Capacitores Cerámicos y de Tantalio. . . . . 39
- 3.3. Resistencia equivalente en serie de varios capacitores. . . . . 40
- 3.4. Especificaciones relevantes del bus  $I^2C$ . . . . . 46
- 4.1. Resultado de CTI para método de separación de pistas. . . . . 71
- 4.2. Especificaciones de fabricación. . . . . 73



# Capítulo 1

## Introducción

Todo sistema de control digital embebido requiere de sensores, actuadores y circuitos analógicos y digitales de acondicionamiento y control, donde cada uno de estos elementos se interconecta a través de conexiones eléctricas de un metal determinado en una placa que contiene todo el circuito. Esta placa se denomina «Placa de circuito impreso» (por sus siglas en inglés PCB «Printed circuit board»).

La forma en que se realiza las conexiones eléctricas en el PCB depende del diseñador y existen infinitas formas de realizarlas de tal forma que se respete el diagrama eléctrico del diseño (mapa de conexiones de cada parte del circuito). El criterio del diseñador para realizar esta tarea define, además del tamaño, facilidad de uso y estética, el grado de compatibilidad electromagnética del PCB.

Compatibilidad electromagnética (por sus siglas en inglés EMC «Electromagnetic compatibility»), como se verá más adelante, es un término que se refiere dos aspectos de cualquier dispositivo electrónico: Cuán susceptible es un equipo a ser afectado por campos electromagnéticos (CEM) externos, y a la medida en que es capaz este mismo equipo de afectar otros o a sí mismo.

En aplicaciones críticas, como un sistema de control de vuelo o un sistema médico de soporte de vida, el control de medidas de EMC no solo es importante, es mandatorio. Existen normas que establecen niveles máximos de radiación de cualquier PCB diseñado, como por ejemplo las reglas de la Federal Communications Commission (por sus siglas en inglés FCC).

Para lograr que el equipo que se desarrolla sea electromagnéticamente compatible, se recurre a un conjunto de reglas de diseño que afectan el grado de EMC. Estas reglas en gran parte de la bibliografía consultada son denominadas «Rules of thumb», frase que podría traducirse a «Reglas de oro» y son reglas que deberán ser analizadas para validar su aplicación durante el desarrollo de este trabajo.

La aplicación de estas reglas se realizarán en el marco del diseño e implementación de



un PCB para un sistema de control embebido, el cual es un retrabajo de un prototipo funcional [1] realizado integrando módulos comerciales con conectores genéricos de  $2.54\text{ mm}$  de espaciado en una placa de desarrollo EDU-CIAA [2], hacia un solo PCB de propósito específico.

En el capítulo 2 se presenta un marco teórico que plantea los conceptos más importantes que el autor considera importantes para el análisis y determinación de reglas de diseño aplicables al desarrollo del PCB.

En el capítulo 3 se detallan los lineamientos y cálculos de diseño del diagrama eléctrico del PCB. El capítulo 4 muestra como las reglas seleccionadas son aplicadas a la realización del PCB mediante el uso de software especializado.

En el capítulo 5 se muestra el procedimiento de simulación del campo electromagnético irradiado del PCB diseñado, luego, en el capítulo 6 se mostrará la implementación y una prueba funcional básica. Finalmente en el capítulo 8 se detallan las conclusiones del trabajo realizado y el planteamiento de trabajos futuros de acuerdo a la experiencia adquirida.

# Capítulo 2

## Marco Teórico

En este capítulo se desarrollan conceptos que se usarán durante el desarrollo del presente trabajo.

### 2.1. Circuitos Impresos

Un circuito impreso o PCB (del inglés, Printed Circuit Board) <sup>1</sup> es una placa que consta de dos partes:

- Plano conductor.
- Dieléctrico de separación.

El plano conductor es una superficie de material conductor (generalmente y específicamente en este trabajo, cobre). Esta capa de cobre tiene un grosor determinado y su fabricación procura que este grosor sea constante en toda la superficie.

La forma en que los fabricantes detallan el grosor de la capa de cobre es dando información de volumen de cobre por superficie, en general las unidades que se usan son unidades del sistema imperial: Onzas por pulgada cuadrada ( $oz/in^2$ ).

Por ejemplo, la placa que se utilizó posee cuatro capas de cobre de  $1 oz/in^2$ , si se considera que la densidad del cobre es de  $8950 kg/m^3$ , se llega a que el grosor de cada capa es de  $0.035 mm$ .

Cada capa de cobre es separada por material dieléctrico que aísla eléctricamente las capas de cobre contiguas una de la otra. Una placa de 4 capas (de cobre) posee 3 planos dieléctricos cuyo grosor es determinado por el fabricante.

---

<sup>1</sup> Ambos términos serán usados indistintamente durante el desarrollo del trabajo.



La configuración de grosor de capas de cobre y dieléctrico (número y grosor de cada una) es llamada «Stack Up». En la capa de cobre se crearán los caminos eléctricos y las terminales de soldado (del inglés «Pad») que definen la funcionalidad del PCB.

### 2.1.1. Software de diseño

La herramienta de diseño del PCB define la terminología y el tipo de archivos de exportación para el uso de otros programas para el análisis de compatibilidad electromagnética de este trabajo.

Existen varias herramientas como Eagle, KiCAD, Altium Designer, Cadence Allegro, etc., todas bajo la denominación software CAD (del inglés Computer-Aided Design). Por ejemplo, la plataforma EDU-CIAA, fue diseñada usando KiCAD, el cual es el único software de distribución libre de los mencionados.

Para este trabajo se empleó Altium Designer<sup>2</sup>, que es un software de uso generalizado en la industria de manufactura y diseño de PCB. Altium cuenta con tres herramientas principales para el desarrollo de un PCB: editor de esquemáticos, editor de PCB y gestor de biblioteca de esquemático y PCB.

### 2.1.2. Esquemáticos

La palabra «esquemático» puede hacer referencia a cualquiera de 3 niveles de jerarquía en el desarrollo del PCB:

- Esquemático general: Este indica el conexionado del circuito global, puede conectar sub-esquemáticos de los cuales solo son visibles sus puertos de entrada y salida, de esta forma se puede obtener una vista resumida de todo el diagrama del circuito. Este esquemático es de mucha utilidad para circuitos con gran cantidad de componentes (como el caso de este trabajo).
- Sub-esquemático: Es un diagrama de una sección específica, se puede tratar de una etapa de acondicionamiento de señal o una etapa de amplificación, describe de forma detallada el conexionado de cada componente.
- Esquemático de un componente: Cada componente tiene un número de patas o pines que deben ser conectadas de forma específica para lograr su funcionalidad, por ejemplo, el pin de alimentación, el pin de GND, el pin de salida de voltaje, etc. Por cada componente existe un esquemático asociado que le otorga a cada pin un designador y un nombre.

---

<sup>2</sup>Se referirá a este software solamente como «Altium».



El designador se relaciona con la ubicación física de cada pin y el nombre indica por lo general la abreviación de la función que realiza el pin. Por ejemplo, el pin de realimentación de un integrado «IC1» puede tener el designador «5» y llevar el nombre «FB» que hace referencia a «feedback». «IC1-5» hace referencia al pin de realimentación de este integrado específico.

En la figura 2.1 se muestra un esquemático del conector de memoria SD 3M, donde se puede apreciar los designadores (fuera de polígono amarillo) y los nombres de cada pin (dentro de polígono amarillo).

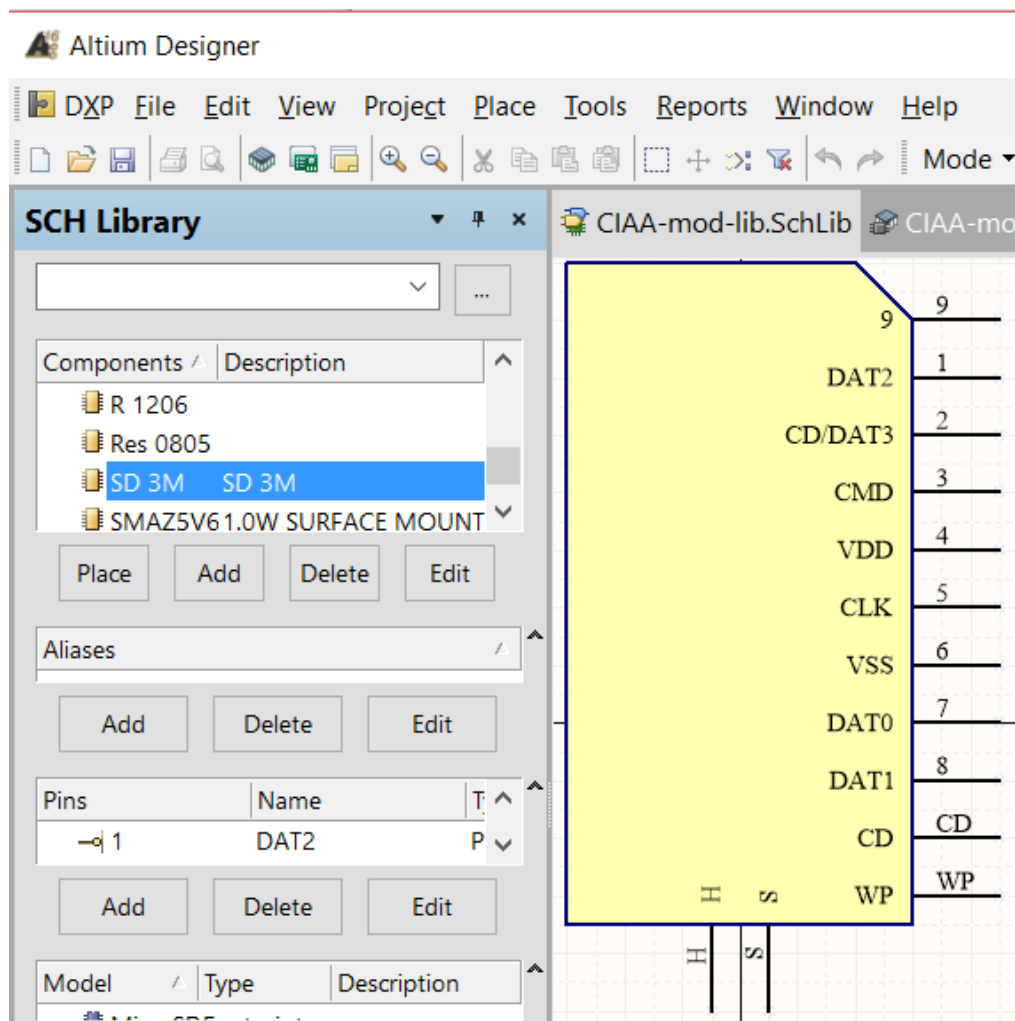


Figura 2.1: Esquemático de conector de memoria SD.

### 2.1.3. Huella

La huella de un componente o «Footprint»<sup>3</sup> se refiere al sector de cobre que requiere el componente para ser montado en una placa, esta define el tamaño de los pads de agujero

<sup>3</sup>Ambos términos se emplearán indistintamente durante el desarrollo de este trabajo.

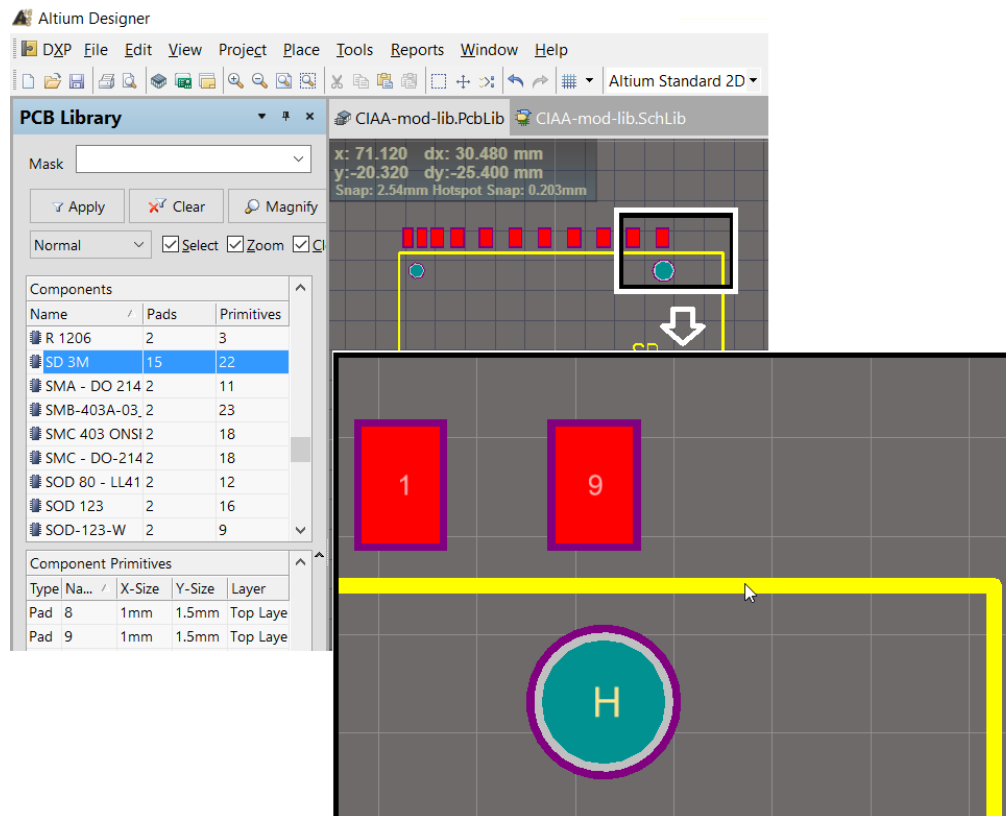


Figura 2.2: Huella del conector de memoria SD.

pasante definiendo el diámetro interno y externo o de SMD (del inglés Surface-Mount Device), definiendo las dimensiones y forma del pad.

En Altium cada huella está asociada a cada pin del esquemático de componente a través del designador. La huella correspondiente al esquemático mostrado en la figura 2.1, se presenta en la figura 2.2, se observa en la ampliación de la misma figura como los pads (color rojo) llevan como nombre el correspondiente designador del esquemático.

#### 2.1.4. Editor de Esquemático

El editor de esquemáticos de Altium permite diagramar el conexionado eléctrico de cada componente que se emplee en el diseño. El usuario debe crear líneas de conexión que servirán como guía para la distribución que se realiza en el editor de PCB.

Entre otras funciones, el editor puede generar un diagrama jerárquico en el que un solo esquemático general contiene varios subesquemáticos que tienen sus propias conexiones internas y crear puertos de voltaje y GND que son válidos en todos los esquemáticos.



### 2.1.5. Editor de PCB

El editor de PCB es en donde se diseña el PCB en sí. De acuerdo a las conexiones creadas en el editor de esquemático, se crean conexiones llamadas «ratlines», que simplemente son líneas que unen los pads de cada componente en los nodos correspondientes en concordancia con el diagrama eléctrico<sup>4</sup>.

En el editor de PCB se deben configurar las reglas de diseño, como separación entre pistas, máximo ancho de pistas etc. Se crean los componentes a partir del esquemático y con las reglas configuradas el diseñador debe elegir una distribución de todos estos y realizar las conexiones necesarias mediante una pista de cobre directa sobre la misma capa de cobre o usando vías.

## 2.2. Interferencia Electromagnética

La interferencia electromagnética (por sus siglas en inglés, EMI) es el grado en que radiaciones de campo electromagnético de alguna fuente que afecta el funcionamiento de un circuito (víctima) y también el grado en que funcionamiento del circuito afecta a otros equipos (víctima vista como fuente).

En general, para cualquier dispositivo, se habla de tres formas de EMI:

- Interferencias causadas por otros al dispositivo.
- Interferencias que se causa el dispositivo a otros.
- Interferencias que el dispositivo se causa a sí mismo.

### 2.2.1. Compatibilidad Electromagnética

Por sus siglas en inglés EMC (de Electromagnetic Compatibility) <sup>5</sup>, se refiere a la habilidad en que un sistema electrónico puede [3]

- Funcionar apropiadamente en el ambiente electromagnético de trabajo (susceptibilidad).
- No ser una fuente de ruido en ese ambiente electromagnético (emisión).

---

<sup>4</sup>Las ratlines sirven como guía para el diseñador y son eliminadas cuando se realiza alguna conexión eléctrica entre los pads que son unidos por este.

<sup>5</sup>Ambos términos se utilizarán indistintamente en el desarrollo de este trabajo.



## Susceptibilidad

Capacidad de un dispositivo de interactuar con energía electromagnética no deseada. El antónimo es «inmunidad».

## Emisión

Se refiere al potencial que presenta el dispositivo de causar interferencias. Las medidas de EMC están orientadas a limitar la energía electromagnética emitida (o irradiada) y por lo tanto a controlar el ambiente electromagnético en que se desempeña este dispositivo.

El equipo que emite interferencias no necesariamente es susceptible a las mismas, pero también es posible que el dispositivo sea sensible a sus propias emisiones.

Dada la gran diversidad de dispositivos electrónicos que pueden hacer de fuentes en distintos rangos de frecuencia y dado que sería muy complicado y costoso incluir en el diseño de ciertos dispositivos (de bajo costo) consideraciones que los vuelvan inmunes al EMI, existen normas que limitan los niveles de emisión que pueden alcanzar todos los dispositivos electrónicos.

### 2.2.2. Regulaciones de EMC

En este trabajo se tomó como referencia la norma de la Comisión Federal de Comunicaciones (por sus siglas en inglés, FCC) <sup>6</sup>. En particular se vio la parte 15, subparte B, «Estándares técnicos para equipamiento de cómputo».

Esta norma alcanza cualquier producto que utilice circuitos digitales que funcionan con frecuencias superiores a  $9\text{ KHz}$  [4]. y contempla dos clases:

- Clase A: Dispositivo industrial.
- Clase B: Dispositivo residencial.

De  $0.15$  a  $30\text{ MHz}$  se contemplan las emisiones a la red de alimentación alterna doméstica y de  $30\text{ [MHz]}$  a  $1\text{ GHz}$  se controla las emisiones que genera el dispositivo bajo prueba. El último punto es de interés para el desarrollo del PCB (no se usa la red de alimentación alterna).

La tabla 2.1 muestra los límites de las emisiones para un dispositivo de clase B.

---

<sup>6</sup>Existen otras normativas como las de la Unión Europea, CISPR (del francés: Comité International Spécial des Perturbations Radioélectriques), cuyo contenido, para el alcance de este trabajo, es el mismo.



Límites FCC Clase B de emisiones irradiadas medidas a 3 m.		
Frecuencia (MHz)	Intensidad del campo ( $\mu V/m$ )	Intensidad de campo ( $dB\mu V/m$ )
30-88	100	40.0
89-216	150	43.5
216-960	200	46
> 960	500	54.0

Tabla 2.1: Límites de radiación FCC a 3 m.

**Nota.** Fuente: CFR (Council on Foreign Relations) - Título 47 - Capítulo I - Subcapítulo A - Parte 15 - Subparte B - Sección 15.109, *Radiated emission limits*.

## 2.3. Radiaciones de Circuitos Digitales

Un circuito digital genera campo electromagnético en modo diferencial o en modo común.

### 2.3.1. Modo Diferencial

Las radiaciones en modo diferencial son causadas por una señal de corriente que recorre un loop<sup>7</sup> formado por pistas o conectores de cualquier circuito.

Este modo se puede modelar pensando a la estructura que genera la interferencia como una antena loop de dimensiones pequeñas (menor a  $\lambda/4$ ). A continuación se mostrará una expresión que estima el campo eléctrico a 3 m de una antena loop.

La magnitud del campo eléctrico lejano  $|\vec{E}|$  en un loop de corriente pequeño ( $d \ll \lambda$ , donde  $d$  es el diámetro del loop y  $\lambda$  es la longitud de onda de la señal que pasa por este) se puede resumir a la ecuación 2.1 [5].

$$|\vec{E}| = \frac{120\pi^2 I \sin(\theta) A f^2}{r C^2} \quad (2.1)$$

Donde:

- $r$  es la distancia a la que se mide el campo en  $m$ .
- $I$  es la corriente que pasa por el loop en  $A$ .
- $f$  es la frecuencia en  $I$  en  $Hz$ .
- $\theta$  es el ángulo de azimuth con el que se observa el loop.

<sup>7</sup>Se emplea el término en inglés «loop» en lugar del término en castellano «lazo», para guardar la relación con el término «antena loop», término usado en la bibliografía consultada.



- $A$  es el área del loop en  $m^2$ .
- $C$  es la velocidad de la luz,  $3 \times 10^8$   $m/s$ .

Simplificando las constantes se tiene:

$$|\vec{E}| = (13.16 \times 10^{-15}) \frac{I \sin(\theta) A f^2}{r} \quad (2.2)$$

La ecuación 2.2 muestra que la dependencia de la frecuencia es cuadrática y su validez es en el espacio libre, sin embargo, las mediciones de EMC son realizadas en un área abierta bajo un plano de masa, esta superficie reflectora creada por el plano de masa otorga una ganancia de  $+6$   $dB$  a la magnitud de campo eléctrico [3], entonces se reformula la expresión para el campo agregando un factor multiplicador de valor 2 (el equivalente en veces de  $+6$   $dB$ ). Si también se reemplaza  $r = 3$   $m$  se tiene una expresión aproximada para la magnitud de campo  $|\vec{E}_{TEST}|$  que se mediría en un loop de corriente en las pruebas de EMC.

$$|\vec{E}_{TEST}| = (8.77 \times 10^{-15}) I \sin(\theta) A f^2 \quad (2.3)$$

La ecuación 2.3, de forma resumida, indica que el campo eléctrico a 3  $[m]$  de distancia de un loop por donde pasa corriente a una frecuencia tal que  $d \ll \lambda$ , depende de la intensidad de la corriente, el ángulo respecto de la perpendicular al plano del loop, el área y el cuadrado de la frecuencia.

La dependencia cuadrática de la frecuencia exige que se deba evitar armónicos en lo posible para disminuir la magnitud del campo eléctrico irradiado. Otra opción es reducir la magnitud de la corriente que pasa por los cables. La última posibilidad es en general minimizar el área de los loops de corriente, teniendo especial cuidado con las señales de alta frecuencia.

### 2.3.2. Modo Común

Las radiaciones en modo común son causadas por la diferencia de voltaje causadas en el plano de masa por la corriente de retorno de los circuitos. Cuando algún cable es conectado al plano de masa estas diferencias de tensión causadas los alimentan y hacen que funcionen como antenas, esto se presenta en las figuras 2.4 y 2.3:

## 2.4. Comportamiento de componentes pasivos en radiofrecuencia

Los componentes pasivos como resistencias bobinas y capacitores cambian su respuesta conforme aumente la frecuencia del voltaje o tensión, a continuación se tratarán

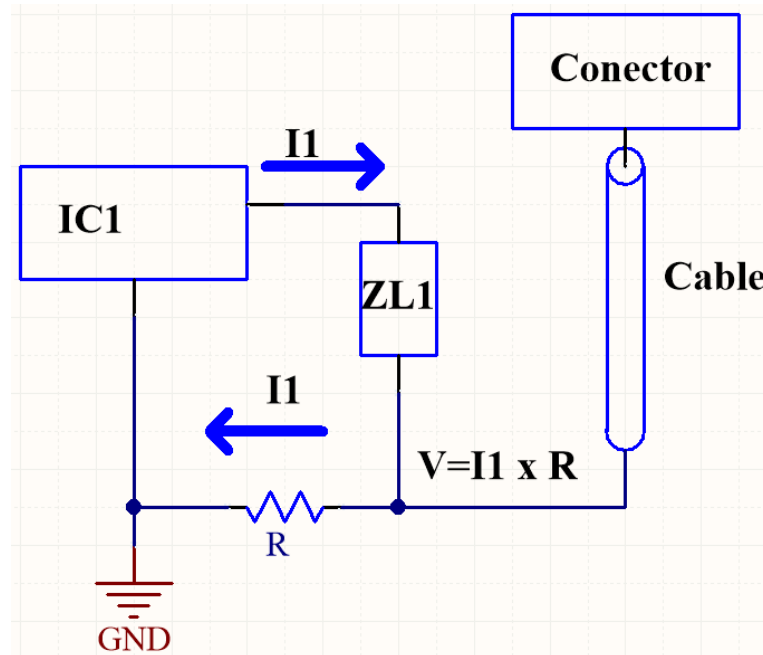


Figura 2.3: Tensión V usando el cable como antena.

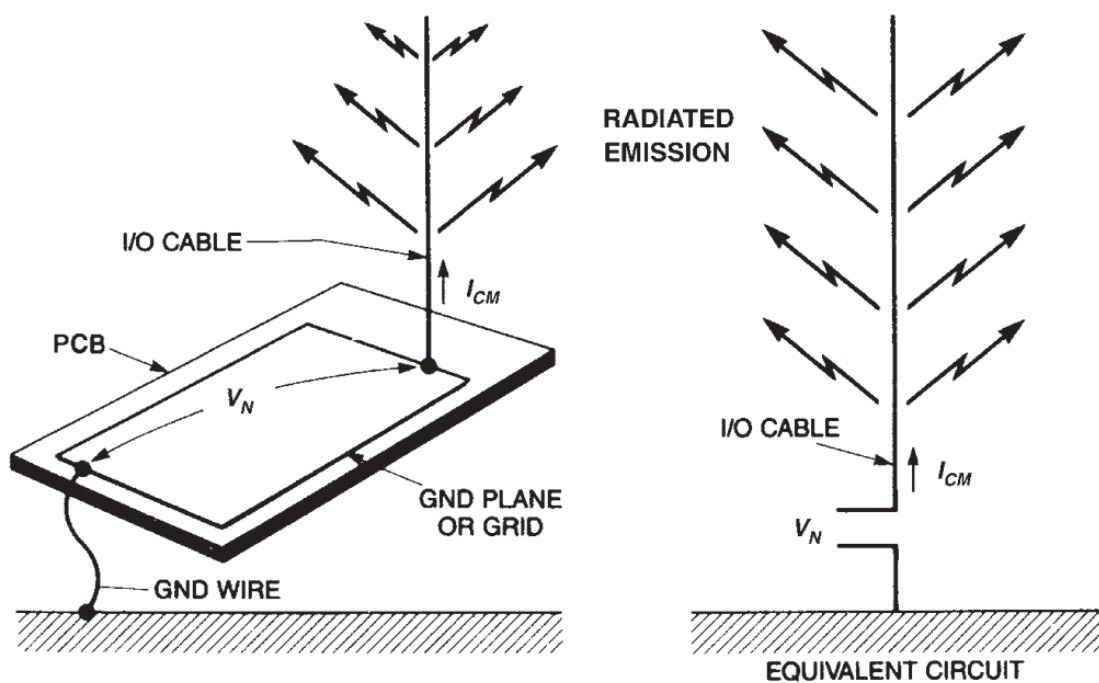


Figura 2.4: Irradiación en modo común.

**Nota.** Fuente: Ott, Henry *Electromagnetic Compatibility Engineering* (pg. 465) .

las distintas respuestas de cada uno de estos componentes.

### 2.4.1. Pistas de cobre

Las conexiones en un PCB entre distintas terminales (o pads) son realizadas con pistas de cobre («tracks» o «traces»), idealmente esta conexión es de conductividad infinita e inductancia nula. En la práctica esta situación no se cumple.

El alejamiento de comportamiento de las pistas de su respuesta ideal se atenúa con el aumento de frecuencia. La conductividad finita no es tanto un problema pero la inductancia de una pista puede llegar a causar problemas de degradación de señal.

La inductancia ( $L$ ) de una pista es determinada por el grosor del cobre, el largo y ancho de la pista, y la distancia de la pista al plano de masa [6] según la ecuación 2.4.

$$L = 2X \ln \left( \frac{5.98h}{0.8w + t} \right) nH \quad (2.4)$$

Donde:

- $X$  es el largo de la pista en  $cm$ .
- $h$  es la separación entre el plano de masa y la pista en  $cm$ .
- $w$  es el ancho de la pista en  $cm$ .
- $t$  es el grosor del cobre en  $cm$ .

Las dimensiones mencionadas se pueden visualizar en la figura 2.5.

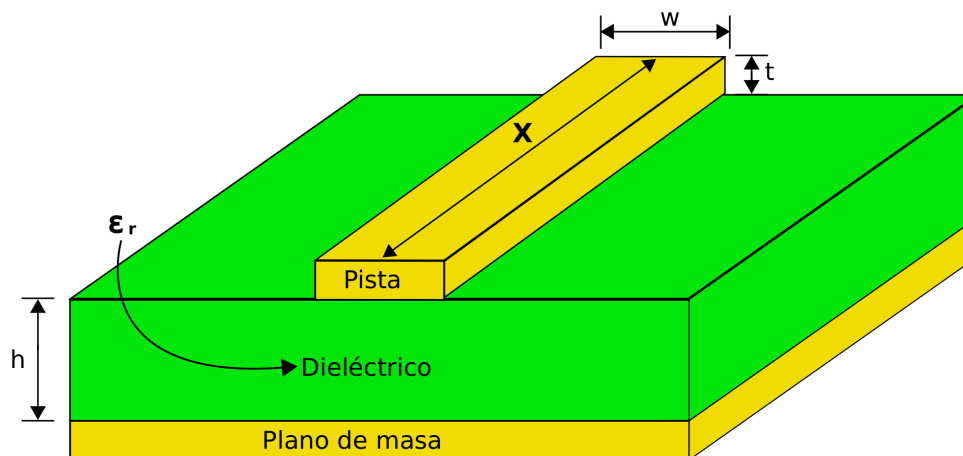


Figura 2.5: Dimensiones de pista que definen inductancia.



## 2.4.2. Capacitores

El comportamiento del capacitor real puede ser modelado empleando el circuito de componentes ideal mostrado en la figura 2.6[7].

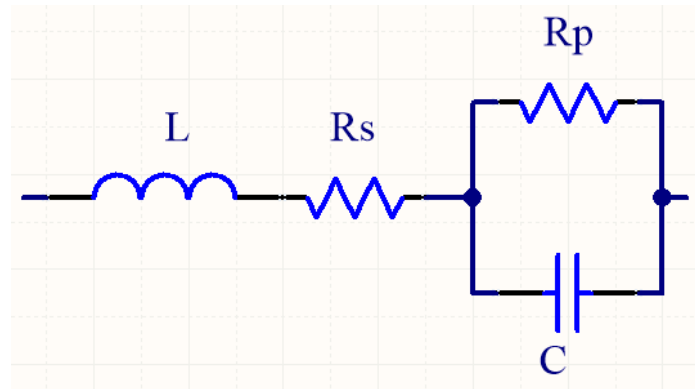


Figura 2.6: Modelo que aproxima un capacitor real.

La impedancia ( $Z_C$ ) a los extremos del circuito mostrado en la figura 2.6 se puede expresar con la ecuación 2.5.

$$Z_C = R_s + \frac{R_p}{1 + (\omega R_p C)^2} + j \left( \omega L - \frac{\omega R_p^2 C}{1 + (\omega R_p C)^2} \right) \Omega \quad (2.5)$$

Donde:

- $R_s$  es la resistencia que representa las pérdidas en disipación de calor (se puede expresar en función del factor de disipación, del cual se hablará más adelante) en  $\Omega$ .
- $R_p$  es la resistencia que modela las corrientes de fuga en el dieléctrico en  $\Omega$ .
- $L$  inductancia de los terminales y las placas que forman el capacitor en  $H$ .
- $C$  capacidad en  $F$ .
- $\omega$  es la frecuencia angular ( $\omega = 2\pi f$ ).

Si se toman los siguientes valores correspondientes a un capacitor cerámico de encapsulado 0603:  $C = 0.1 \mu F$ ,  $R_s = 0.05 \Omega$ ,  $R_p = 100 G\Omega$ ,  $L = 850 pH$  y se grafica la magnitud de la impedancia que presenta este modelo en función de la frecuencia usando la ecuación 2.5, se obtiene el resultado mostrado en la figura 2.7.

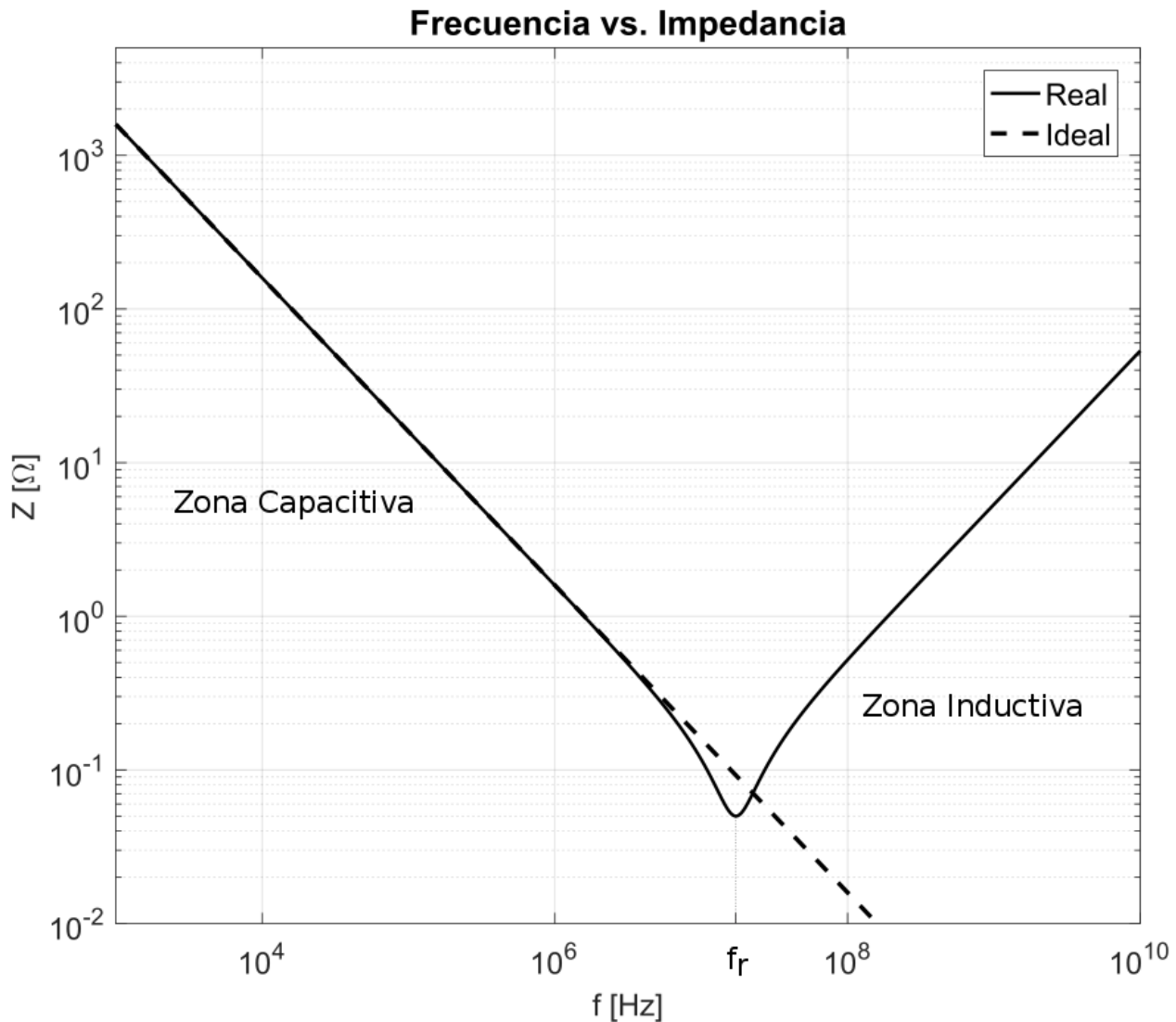


Figura 2.7: Respuesta frecuencia-impedancia de un capacitor cerámico.

Como se ve en la figura 2.7, existen dos zonas marcadas para el comportamiento frecuencia-impedancia del capacitor. La primera zona, de pendiente negativa corresponde a la zona capacitiva (la impedancia disminuye conforme aumenta  $f$ ) que es una zona que coincide hasta un determinado rango de frecuencia con la curva de impedancia para un capacitor ideal (curva discontinua) determinada por la ecuación 2.6.

$$|Z_{L\ IDEAL}| = \frac{1}{\omega C} \quad (2.6)$$

La parte del gráfico con pendiente positiva corresponde a la zona inductiva (línea continua) del capacitor.

Entre  $10^6$  y  $10^8$  Hz, se da la transición entre las dos zonas (punto de inflexión), la frecuencia en este punto es denominada «frecuencia de resonancia» ( $f_r$ ).



Es de mucha importancia conocer la característica en frecuencia de los capacitores que se emplean en el diseño del PCB, especialmente cuando estos se utilicen para desacoplar circuitos que trabajan en altas frecuencias.

### 2.4.3. Factor de disipación

Por sus siglas en inglés, DF, es el cociente entre la Resistencia Equivalente en Serie (*ESR*, por sus siglas en inglés) y la reactancia del capacitor ( $X_c$ ). Es expresado como muestra la ecuación 2.7.

$$DF = \frac{ESR}{X_C} \times 100\% \quad (2.7)$$

La ESR es la resistencia (sin tomar en cuenta las partes reactivas) que se ve a los extremos del capacitor, se aproxima con la ecuación 2.8.

$$ESR \approx R_s \quad (2.8)$$

DF es la inversa del factor de calidad,  $Q$ .

$$DF = \frac{1}{Q} \quad (2.9)$$

### 2.4.4. Capacitores en paralelo

El comportamiento en frecuencia del capacitor depende de la *ESR* y de la inductancia equivalente en serie (*ESI*, por sus siglas en inglés). La *ESI* no es otra cosa que el valor de inductancia  $L$  en el modelo mostrado en la figura 2.6.

Para saber si el capacitor es adecuado o no para desacoplar un circuito que funciona a una determinada frecuencia, se debe observar si la impedancia del capacitor es relativamente baja alrededor de esta frecuencia. Una forma rápida de determinar esto, es ver si la frecuencia de trabajo del circuito a desacoplar esta en un rango comprendido entre  $0.01f_r$  y  $100f_r$ .

Distintos capacitores tienen distintos valores de *ESR* y *ESI*, que determinan una  $f_r$ . A su vez,  $f_r$  determina en que rango de frecuencia la impedancia está por debajo de un determinado nivel. Por ejemplo, la figura 2.7 muestra que el capacitor presenta una impedancia por debajo de  $10 \Omega$  entre  $100 \text{ KHz}$  y  $1 \text{ GHz}$ , pero se encuentra por encima de  $1 \text{ K}\Omega$  por debajo de  $1 \text{ KHz}$ .

Para presentar una situación concreta, en la figura 2.8 se muestran tres respuestas en frecuencia:

- Respuesta en frecuencia de un capacitor cerámico de encapsulado 0603 con  $C = 1 \mu\text{F}$ ,  $ESR = 0.05 \Omega$  y  $ESI = 850 \text{ pH}$  ( $C_{CER}$ , curva continua).

- Respuesta en frecuencia de un capacitor de tantalio encapsulado «A», de  $1 \mu F$ ,  $ESR = 1.5 \Omega$  y  $ESI = 2600 pH$  ( $C_{TANT}$ , curva discontinua).
- Respuesta en frecuencia de ambos capacitores en paralelo ( $C_{PAR}$ , curva punteada).

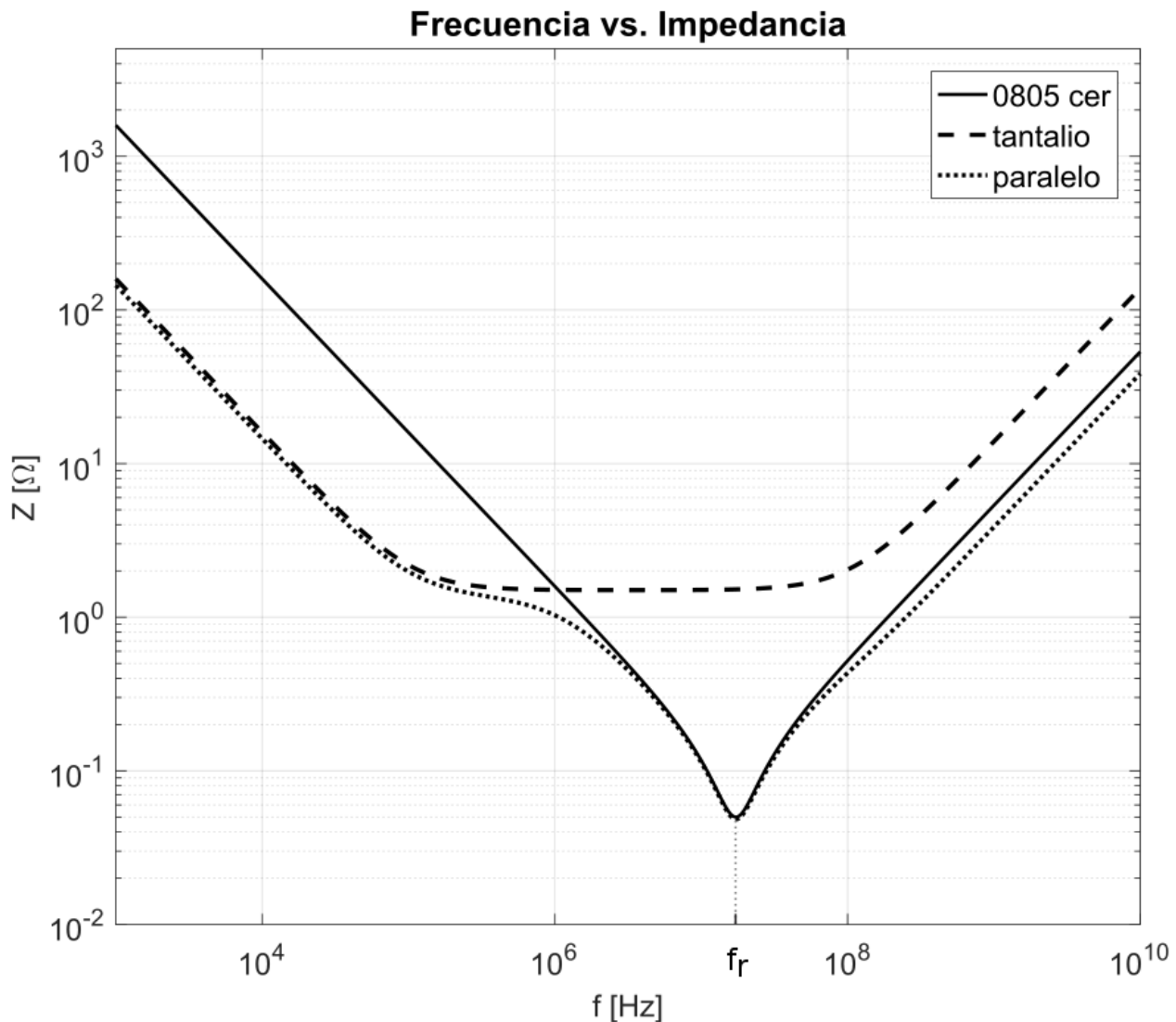


Figura 2.8: Curvas frecuencia vs. impedancia correspondientes a  $C_{CER}$ ,  $C_{TANT}$  y  $C_{PAR}$ .

Como se puede apreciar en la figura 2.7, la impedancia que presenta el capacitor equivalente es determinada por el capacitor de tantalio en baja frecuencia y por el capacitor cerámico en alta frecuencia. El rango de frecuencias en que la impedancia del capacitor  $C_{PAR}$  está por debajo de  $10 \Omega$ , es aproximadamente de  $10 KHz$  a  $1 GHz$ , rango que mejora la respuesta individual de  $C_{CER}$  y  $C_{TANT}$ .

### 2.4.5. Inductores

Un inductor real se puede modelar con el circuito de la figura 2.9. La impedancia ( $Z_L$ )

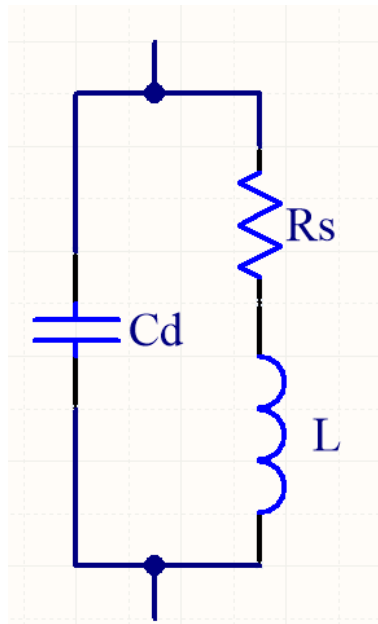


Figura 2.9: Modelo de un inductor real.

que presenta el circuito de la figura 2.9 corresponde a la ecuación 2.10.

$$Z_L = \frac{R_s + j\omega L}{(1 - \omega^2 LC_d) + j\omega R_s C_d} \Omega \quad (2.10)$$

Donde:

- $R_s$  es la resistencia del conductor no ideal con el cual se fabrica el inductor en  $\Omega$ .
- $C_d$  es la capacidad equivalente constituida por el paralelo de todas las capacidades parásitas que se forma entre cada par de espiras contiguas del inductor en  $F$ .
- $L$  es la inductancia en  $H$ .

La figura 2.10 muestra como varía la magnitud de la impedancia ( $-Z_L-$ ) en función de la frecuencia.

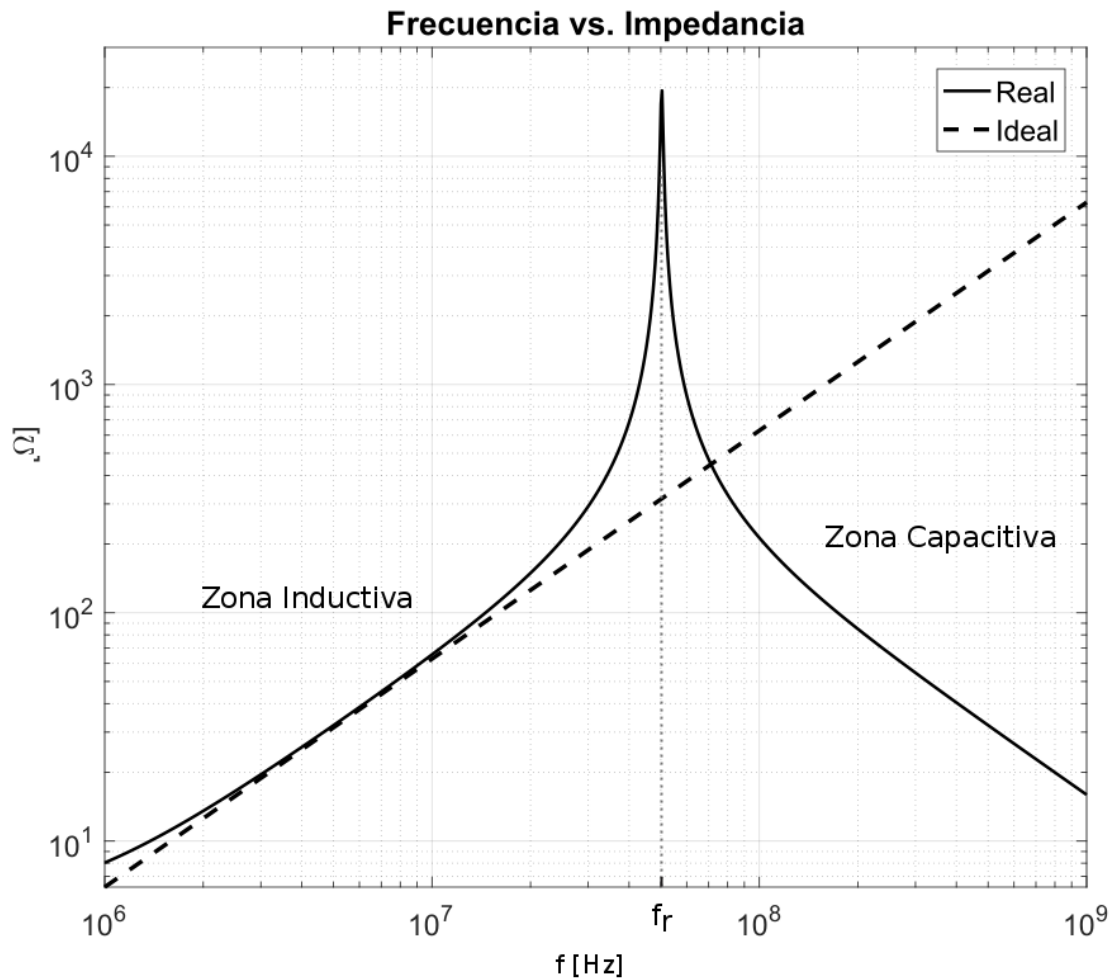


Figura 2.10: Respuesta frecuencia-impedancia

Como se puede apreciar en la figura 2.10, al igual que el capacitor, el inductor tiene una zona inductiva y una zona capacitiva. A frecuencias bajas, la impedancia aumenta (zona inductiva), y luego de la frecuencia de resonancia el comportamiento es el de un capacitor (zona capacitiva).

### 2.4.6. Chips de ferrite

Los chips de ferrite (del inglés, «Ferrite Bead») son dispositivos pasivos cuyo comportamiento en frecuencia se aprovecha para filtrar señales de alta frecuencia. Para entender su comportamiento se parte de analizar el comportamiento del circuito equivalente que se muestra en la figura 2.10 [8]. De la figura 2.10 se puede llegar a la ecuación ??, que es la expresión para la impedancia del chip de ferrite.

$$Z_{FB} = R_s + \frac{\omega^2 R_p L^2}{R_p^2 (1 - \omega^2 CL)^2 + (\omega L)^2} + j \frac{\omega R_p^2 L (1 - \omega^2 CL)}{R_p^2 (1 - \omega^2 CL)^2 + (\omega L)^2} \Omega \quad (2.11)$$

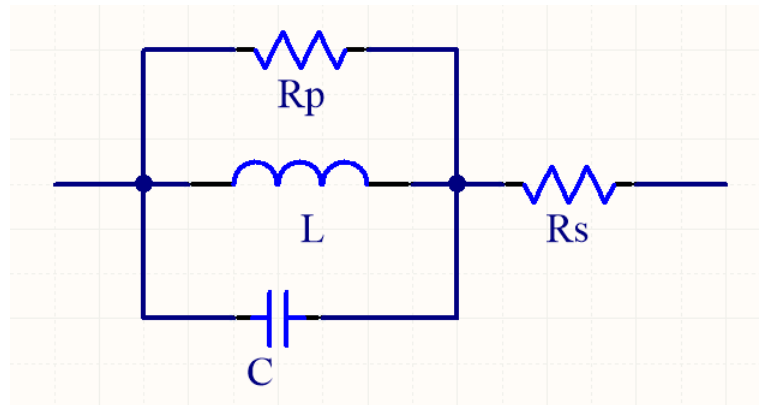


Figura 2.11: Modelo de un chip de ferrite.

Donde:

- $R_p$  es la resistencia de AC, se da cuando el ferrite es puramente resistivo (en  $f = f_r$ ), se expresa en  $\Omega$ .
- $R_s$  es la resistencia de los conductores imperfectos en  $\Omega$ .
- $C$  es la capacidad que domina el comportamiento del ferrite en altas frecuencias, se expresa en  $F$ .
- $L$  es la inductancia que domina el comportamiento del ferrite en bajas frecuencias, se expresa en  $H$ .

Por ejemplo, si se evalúa la magnitud de esta impedancia ( $|Z_{FB}|$ ) con  $R_s = 300 \text{ m}\Omega$ ,  $R_p = 300 \Omega$ ,  $C = 2 \text{ pF}$  y  $L = 1 \mu\text{H}$  para distintas frecuencias se obtiene la respuesta mostrada en la figura 2.12.

La figura 2.12 evidencia la existencia de 3 zonas en el comportamiento en frecuencia del chip de ferrite: Zona inductiva, capacitiva y resistiva. En un principio la curva guarda cierta similitud con la curva del inductor mostrada en la figura 2.10 por las zonas inductivas y capacitivas. La diferencia yace en la zona resistiva, la cual es una zona alrededor de la frecuencia de resonancia en que la magnitud de la impedancia tiene una variación pequeña en relación a la variación abrupta que se observa en la curva de la figura 2.10.

Los chips de ferrite pueden ser usados para filtrar altas frecuencias y para emplearlos de forma correcta se deberá verificar la curva de funcionamiento y asegurarse que los ruidos de alta frecuencia que se desean filtrar sean del orden de  $f_r$  (el ferrite del ejemplo sería ideal para filtrar ruidos de  $100 \text{ MHz}$ ).

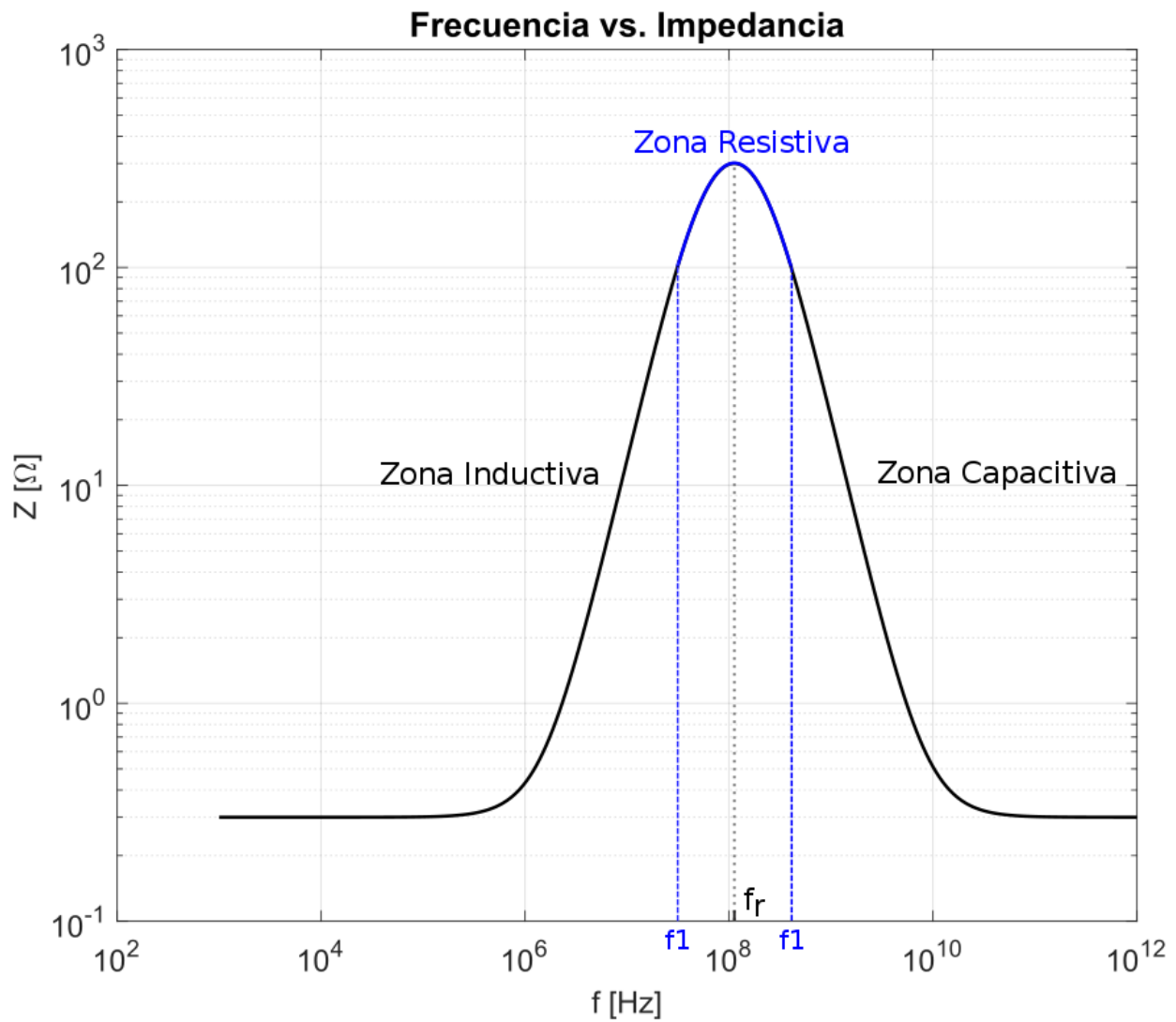


Figura 2.12: Curva frecuencia vs. impedancia correspondiente a un chip de ferrite.



# Capítulo 3

## Diseño del esquemático del PCB en software CAD

En este capítulo se describen los procedimientos de diseño del esquemático del PCB, el cual se encuentra basado en el prototipo de sistema de control embebido realizado en la plataforma CIAA [1].

### 3.1. PCB basado en plataforma CIAA

La CIAA (Computadora Industrial Argentina) es la plataforma sobre la cual se realizó el prototipo del sistema de control embebido que se desea implementar en un PCB de propósito específico. Para la implementación del prototipo se utilizó la versión educativa de la CIAA, llamada «CIAA EDU NXP» que usa un microcontrolador *NXP LPC4337*. El diseño entonces, se debe basar en este prototipo realizado, lo cual impone las siguientes consignas:

- El PCB debe integrar todos los sensores con los que cuenta el prototipo.
- Los sensores deberán de conectarse al microcontrolador de la misma forma que el prototipo de tal forma que se pueda reutilizar el mismo firmware.
- Se deberán incorporar únicamente los sensores y dispositivos necesarios para el funcionamiento del sistema de control embebido.

### 3.2. Biblioteca de componentes

Todos los componentes tienen un diagrama eléctrico o esquemático, este hace referencia a sus terminales físicos por pines. Por ejemplo, el microcontrolador LPC4337 tiene



un esquemático de 144 pines. Los componentes a su vez pueden ser divididos en sub-componentes, o partes. Por ejemplo el LPC4337 tiene sus 144 pines repartidos en 19 partes, los pines están agrupados según su funcionalidad.

El circuito general realiza las conexiones entre los pines de cada componente, a su vez los esquemáticos propios de cada componente son organizados en una biblioteca de componentes.

Altium ofrece una herramienta para gestionar las bibliotecas, se verificó la correcta asignación de pines de cada uno de los componentes según su hoja de datos. La importancia de este procedimiento radica en que luego se generará un mapa de conexiones en el desarrollo del PCB, que asocia cada designador de pin con una conexión física en un plano del componente (mapa o «footprint»). Un pin mal asignado en esta instancia puede significar un cambio de polaridad en la alimentación, por ejemplo.

### 3.3. División del esquemático

El diseño del esquemático se realizó en *Altium Designer*, programa que permite crear varios subesquemáticos unidos en un esquemático principal (estructura jerárquica). La estructura jerárquica permite organizar el diseño en bloques, la estructura que se definió como se muestra en la figura 3.1.

### 3.4. Esquemático Principal

El esquemático principal (se muestra en la figura A.1 del anexo) contiene las conexiones que se detallan a continuación.

#### 3.4.1. Circuito Oscilador

El microcontrolador LPC4337 funciona con un clock generado por un oscilador Pierce a cristal, el circuito básico de este tipo de oscilador se muestra en la figura 3.2. En esta figura se muestran sus componentes: un amplificador inversor, una resistencia de realimentación ( $R_f$ ), un cristal ( $X$ ) y dos capacitores ( $C1$  y  $C2$ ).

El amplificador inversor realimenta a través del cristal, el cual sirve como filtro a una frecuencia determinada (en este caso  $12\text{ MHz}$ ). Los capacitores  $C1$  y  $C2$  proveen un corrimiento de fase, que en conjunto con los  $180^\circ$  que establece el amplificador inversor constituyen un corrimiento de fase nulo, en otras palabras la señal en la entrada y en la salida están en fase. Si se agrega que la ganancia del amplificador inversor cumple  $G > 1$  se cumple el criterio de Barkhausen. La resistencia  $R_f$  es una resistencia de polarización

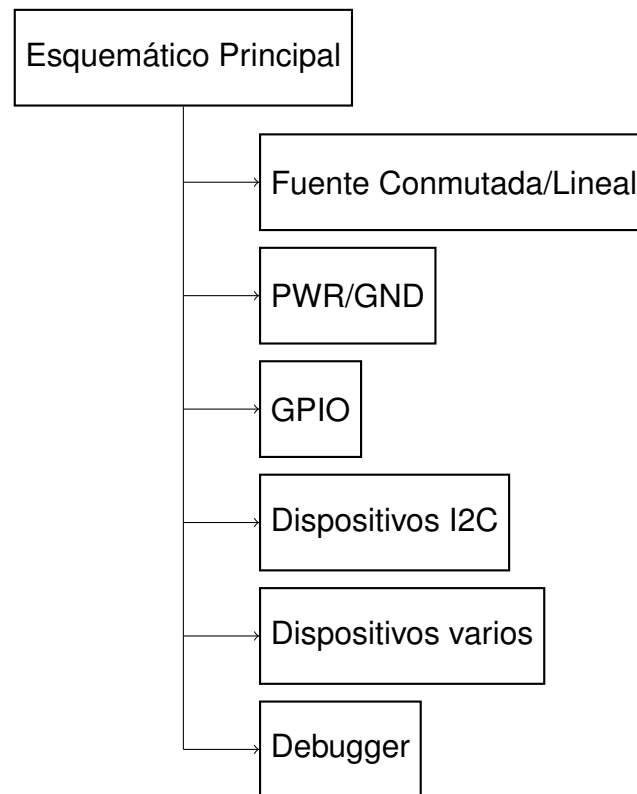


Figura 3.1: Estructura del esquemático.

que mantiene al inversor en su región lineal de trabajo. La hoja de datos del LPC4337 recomienda que se usen valores entre  $18$  y  $27$   $pF$ , se determinaron:  $C1 = C2 = 20$   $pF$ .

Tanto el cristal como los capacitores se conectan a los pines 12 y 13 del microcontrolador tal como se muestra en la figura A.1 del anexo. No se requiere proveer ni  $R_f$  ni el amplificador inversor, los cuales son incluidos en el microcontrolador.

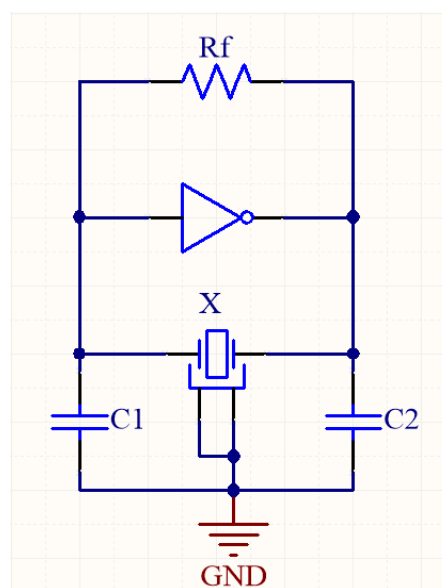


Figura 3.2: Circuito del oscilador Pierce

### 3.4.2. Botón de Reset

Se incluye un botón para aplicar un reset por hardware al microcontrolador. El botón es del tipo normal abierto, tal como se muestra en la figura 3.3. También se incluye una salida de reset por el conector *P1*, la cual tiene un diodo de protección (cátodo a la salida del conector y ánodo hacia el pin reset).

Un lado del botón se encuentra a GND, mientras que el otro al pin 128 del microcontrolador (pin reset activo por bajo). Este punto se mantiene en nivel alto a través de una resistencia de pull up. El capacitor en paralelo a la entrada de reset hace que se mantenga el nivel bajo que se presenta al presionar el botón por al menos  $10\text{ ms}$  pese a que el botón regrese a su estado normal abierto. Para comprobar esta afirmación, se realizó una simulación en *LTspice*, la cual se presenta en la figura 3.4.

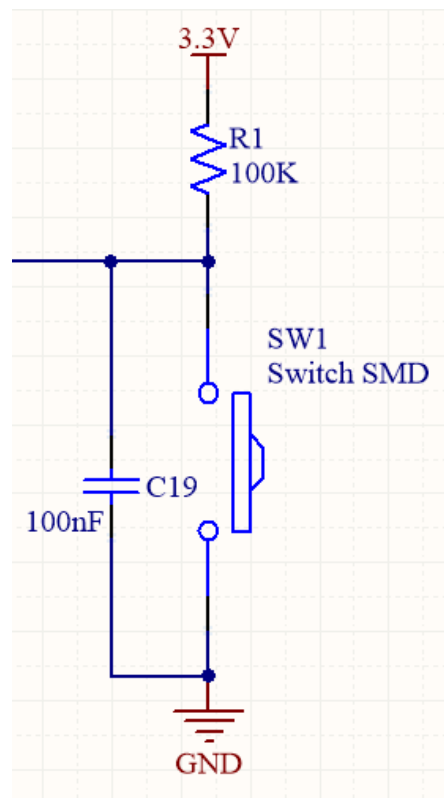


Figura 3.3: Circuito del botón de reset.

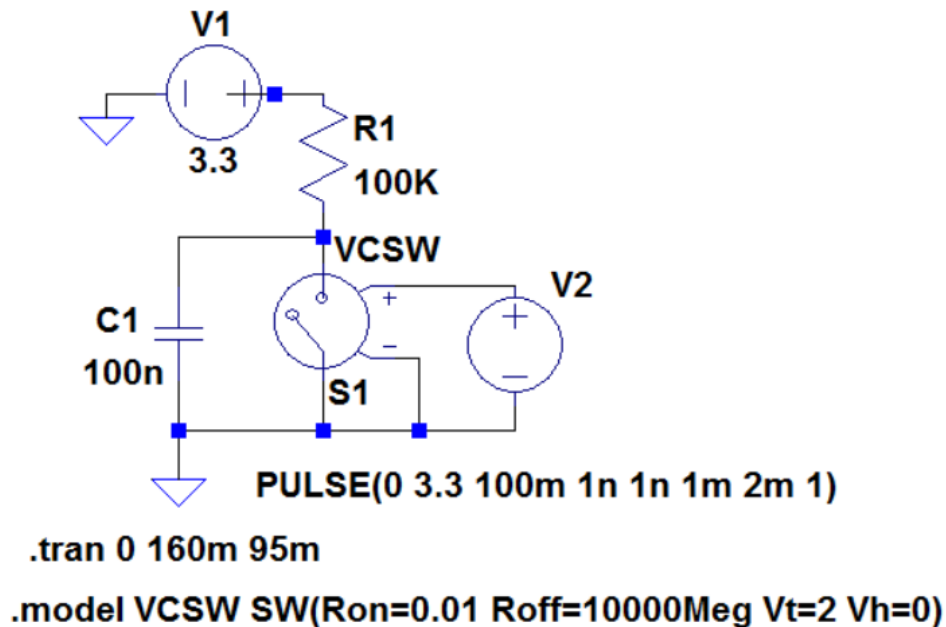


Figura 3.4: Circuito de simulación del botón reset.

Se utilizó para modelar el botón una llave programada para cerrarse por  $1\text{ ms}$  con un tiempo de transición de  $1\text{ ns}$ , el resultado de la simulación en estado transitorio se muestra en la figura 3.5, la cual muestra en trazo azul el tiempo en que está abierto el switch si no hubiera un capacitor en paralelo y la respuesta con el capacitor. Se observa que cuando está presente el capacitor, presionar el botón de reset por  $1\text{ ms}$  implica dejar el botón reset en estado bajo (menor a  $2.2\text{ V}$ ) por al menos  $10\text{ ms}$ . Al mismo tiempo de establecer un nivel prolongado de permanencia en nivel bajo, se filtra el efecto rebote (del inglés, «bouncing») que presenta cuando se acciona cualquier tipo de interruptor mecánico.

### 3.4.3. Conversores analógico-digitales

Se utilizan 6 de los 7 canales del ADC, 3 son usados para las señales de entrada del sensor de voltaje, corriente y presión diferencial, mientras que otros 3 son llevados a un conector. Todos los conversores tienen una resistencia en serie de  $1.2\text{ K}\Omega$ , el motivo de esta resistencia en serie es reducir en una pequeña proporción la máxima tensión de entrada al hacerse un divisor resistivo con los  $1.2\text{ M}\Omega$  que tienen todos los conversores como impedancia de entrada. También funcionan como limitador de corriente por si el pin se configura por software a un nivel bajo aún cuando está presente la señal del sensor. Los pines ADC del microcontrolador son:

- Pines 2, 143 y 149 para sensores del controlador.
- Pines 138,142,144 como entradas ADC en el conector de salida del conector *P1*.

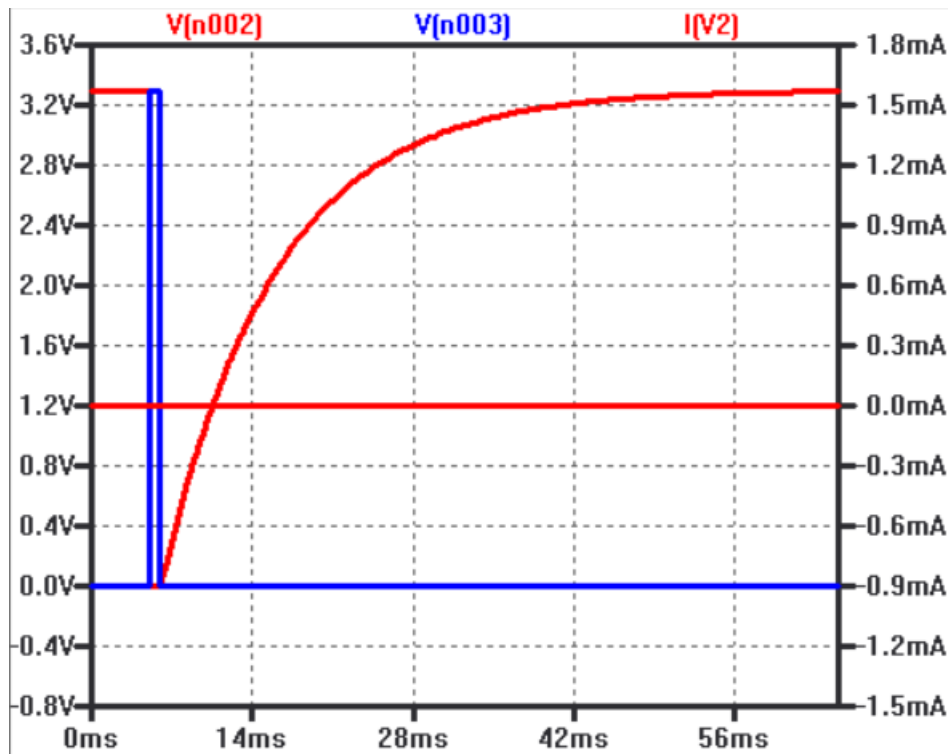


Figura 3.5: Resultado de la simulación del botón reset

#### 3.4.4. Conversor digital-analógico

El pin 6 del microcontrador puede ser configurado como un DAC, este pin estará disponible en el conector P1 del esquemático principal. Una resistencia de  $470\ \Omega$  funciona como limitador de corriente.

#### 3.4.5. Salidas de alimentación

Por el conector P1 también se provee salidas de tensión de 5 y 3 V, también conexiones a GND y GND analógica. La conexión a las tensiones se realizan por medio de un fusible resetable PTC (del inglés Positive temperature coefficient) de montaje superficial (TH1) que limita la corriente a 300 mA.

### 3.5. Fuente Conmutada

El sistema de control embebido deberá funcionar alimentándose de baterías que no proveen los niveles de tensión que requieren los integrados que lo componen, los cuales son 5 V y 3.3 V, por ello se deberá recurrir a distintos reguladores de voltaje.

Un factor determinante es que el sistema debe mantener el menor nivel de consumo posible, por lo tanto para obtener la tensión de 5 V se deberá priorizar la eficiencia. El tipo de regulador que destaca en este aspecto es uno conmutado, entonces se diseñó

una fuente de poder conmutada o SMPS (por sus siglas en inglés Switching Mode Power Supply). El circuito a implementar es específicamente un «Buck Converter», que es un tipo de regulador conmutado que fija la salida a una tensión menor que la entrada. Se partió del diagrama básico del circuito propuesto en la hoja de datos del LM2596 de ON-Semiconductor, a partir de este se añadieron circuitos de protección (descritos más adelante en esta sección) para hacer más robusta la fuente. El esquemático del regulador a 5 V se presenta en la figura 3.6.

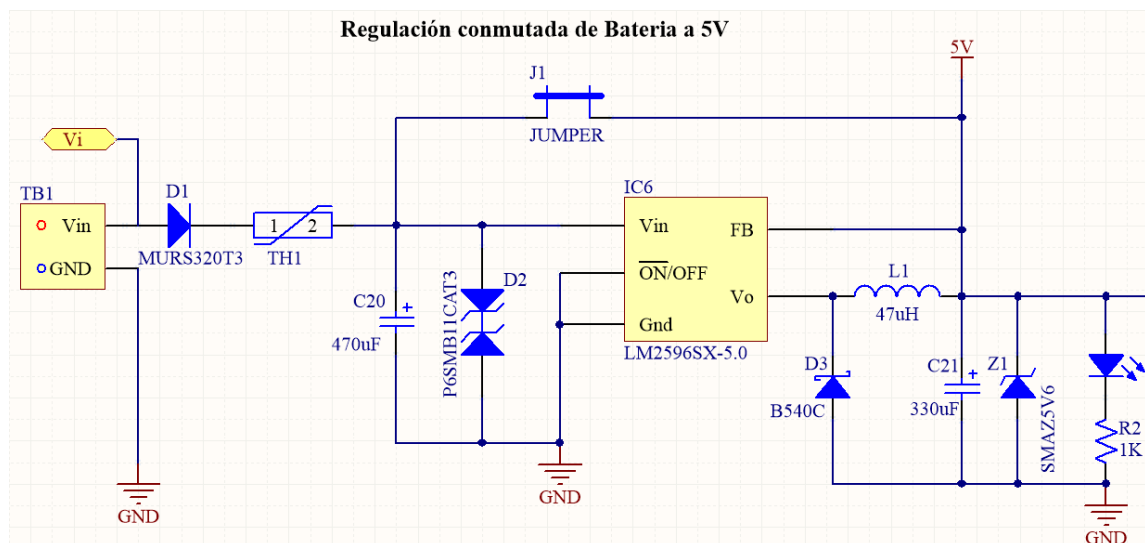


Figura 3.6: Circuito de la fuente conmutada

### 3.5.1. Filtro LC

Para simplificar el proceso de selección de estos componentes, se tomó el valor de la tabla de la hoja de datos del regulador para una elección rápida del inductor  $L_1$  y capacitor  $C_{21}$ .



CONDITIONS			INDUCTOR		OUTPUT CAPACITOR			
OUTPUT VOLTAGE (V)	LOAD CURRENT (A)	MAX INPUT VOLTAGE (V)	INDUCTANCE ( $\mu$ H)	INDUCTOR (#)	THROUGH-HOLE ELECTROLYTIC		SURFACE-MOUNT TANTALUM	
					PANASONIC HFQ SERIES ( $\mu$ F/V)	NICHICON PL SERIES ( $\mu$ F/V)	AVX TPS SERIES ( $\mu$ F/V)	SPRAGUE 595D SERIES ( $\mu$ F/V)
3.3	3	5	22	L41	470/25	560/16	330/6.3	390/6.3
		7	22	L41	560/35	560/35	330/6.3	390/6.3
		10	22	L41	680/35	680/35	330/6.3	390/6.3
		40	33	L40	560/35	470/35	330/6.3	390/6.3
	6	22	L33	470/25	470/35	330/6.3	390/6.3	
	2	10	33	L32	330/35	330/35	330/6.3	390/6.3
		40	47	L39	330/35	270/50	220/10	330/10
5	3	8	22	L41	470/25	560/16	220/10	330/10
		10	22	L41	560/25	560/25	220/10	330/10
		15	33	L40	330/35	330/35	220/10	330/10
		40	47	L39	330/35	270/35	220/10	330/10
	9	22	L33	470/25	560/16	220/10	330/10	
	2	20	68	L38	180/35	180/35	100/10	270/10
		40	68	L38	180/35	180/35	100/10	270/10

Tabla 3.1: Tabla de selección rápida de capacitor/inductor de filtro  
**Nota.** Fuente: Nota de aplicación SNVS124D de Texas Instrument (pg. 23) .

La fila resaltada de la tabla 3.1, la cual corresponde a voltaje de salida 5 V y corriente máxima de 3 A, detalla los siguientes valores :  $L_1 = 47 \mu H$  y que  $C_{21} = 330 \mu F$ . El inductor para el valor mostrado y para la corriente, adicionalmente se determinó que los tipos encapsulados o «shielded» pueden suprimir el campo irradiado, mejorando la EMC del PCB final. Para el capacitor de salida también se elige uno que presente tanto la capacidad y voltaje determinados como que se clasifique de baja resistencia equivalente en serie o «Low ESR» (por sus siglas en inglés, Equivalent Series Resistance).

### 3.5.2. Diodo de freewheeling

La elección del diodo de freewheeling ( $D_3$ ) se orientó por el camino del bajo consumo de potencia. Por este diodo circulará la misma corriente salida durante el tiempo que el switch bloquea la tensión de entrada. Esta corriente junto con la caída directa del diodo  $V_D$  determinan la potencia del diodo  $P_D$  según la ecuación 3.1.

$$P_D = I_{max} \times V_D \quad (3.1)$$

Un diodo Schottky presenta menor tensión directa frente a un diodo de recuperación rápida (fast recovery diode). El primero presenta caídas típicas entre 0.3 a 0.6 V mientras que el segundo 0.8 a 1.1 V. Como se desea mantener la eficiencia lo más alto posible se consideró usar el BC540, el cual es un dispositivo que se acomoda tanto a los voltajes de





polarización directa e inversa como al nivel de corriente (acorde con la hoja de datos, este diodo excede en al menos 50 % cada una de las especificaciones mencionadas).

### 3.5.3. Capacitor de entrada

Este capacitor ( $C_{20}$ ) suprime los posibles transitorios de la línea de alimentación y se designa teniendo en cuenta la corriente de ripple RMS,  $I_{C\ RMS}$ , con la fórmula provista en la hoja de datos del LM2596.

$$I_{C\ RMS} > 1.2 \times I_{Max} \times \frac{V_{out}}{V_{in}} \quad (3.2)$$

Si se toma como valor mínimo de alimentación de entrada como 16 V, esto ocasiona un valor de corriente de ripple del capacitor de  $I_{C\ RMS} = 1.125\ A$ . Además de esto, se debe procurar también en este caso un capacitor del tipo LOW ESR. El capacitor que cumple con estos requisitos y que se pudo tener acceso fue uno electrolítico de montaje superficial de 470  $\mu F$ , 50 V, 0.06  $\Omega$  y 1.19  $A_{RMS}$ .

### 3.5.4. Otras consideraciones

La tensión de alimentación ingresa a través de la bornera TB1 (bornera a tornillo de dos terminales con 5.08 mm de separación entre los mismos) y llega al primer elemento de protección, el diodo rápido  $D_1$  que evita funcionamiento en conexión reversa. El fusible reseteable  $TH_1$  protege contra posibles sobrecorrientes. Es importante definir las características específicas de este de acuerdo a la tensión de entrada y a la corriente de entrada al regulador para una corriente de salida del regulador. Se eligió uno de 30 V y 0.35 A pero puede ser cambiado para voltajes/corrientes mayores si fuese necesario.

El jumper  $J_1$  hace que se obvие el regulador de voltaje, siempre y cuando el usuario se asegure de conectar a la entrada de voltaje 5 V. El diodo  $D_2$  es un supresor de transitorios SZP6SMB11CAT3 de On Semiconductor, protege al regulador de picos de entrada y descargas estáticas y según la hoja de datos tiene un tiempo de respuesta menor a 1 ns.

El diodo LED en serie con resistencia  $R_2$  de 1  $K\Omega$  sirven para indicar visualmente que la fuente esta funcionando, la corriente que pasa por esta es menor a 3 mA si se considera que la caída de tensión del típica para diodo LED rojo de montaje superficial es 2 V.

El diodo Zener  $Z_1$  en paralelo provee protección adicional que limita el sobrepasamiento de la salida en el transitorio. Para evaluar el comportamiento de esta etapa de protección se simuló en LTSpice el circuito que se presenta en la figura 3.7.

Se simularon dos casos, para carga  $R_L = 5$  y 50  $\Omega$ , lo cual para una salida de 5 V implica una corriente de salida de 1 A y 100 mA, respectivamente. Para ambos casos se graficaron las formas de onda de la tensión de salida con y sin el uso del Zener y adicionalmente

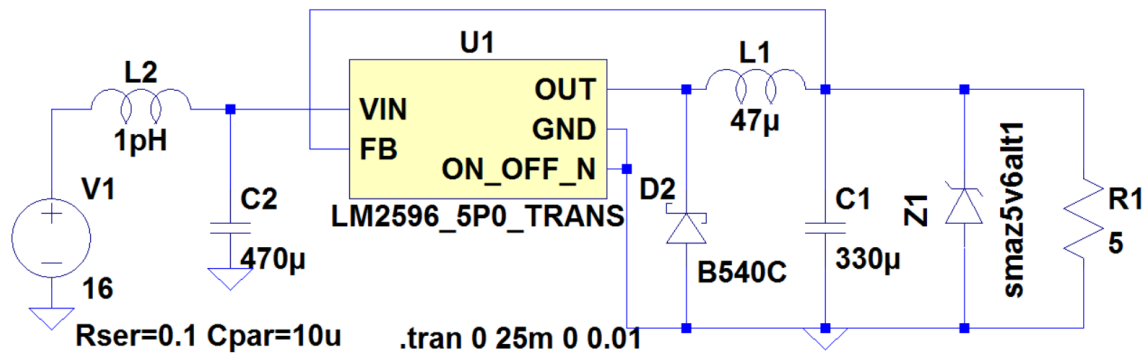


Figura 3.7: Circuito de simulación SMPS.

la corriente que pasa por el Zener (cuando está presente, valga la redundancia). Ambas simulaciones se hacen en régimen transitorio, los resultados se presentan en las figuras 3.8 y 3.9<sup>1</sup>: De analizar los dos gráficos, se puede deducir que la protección contra so-

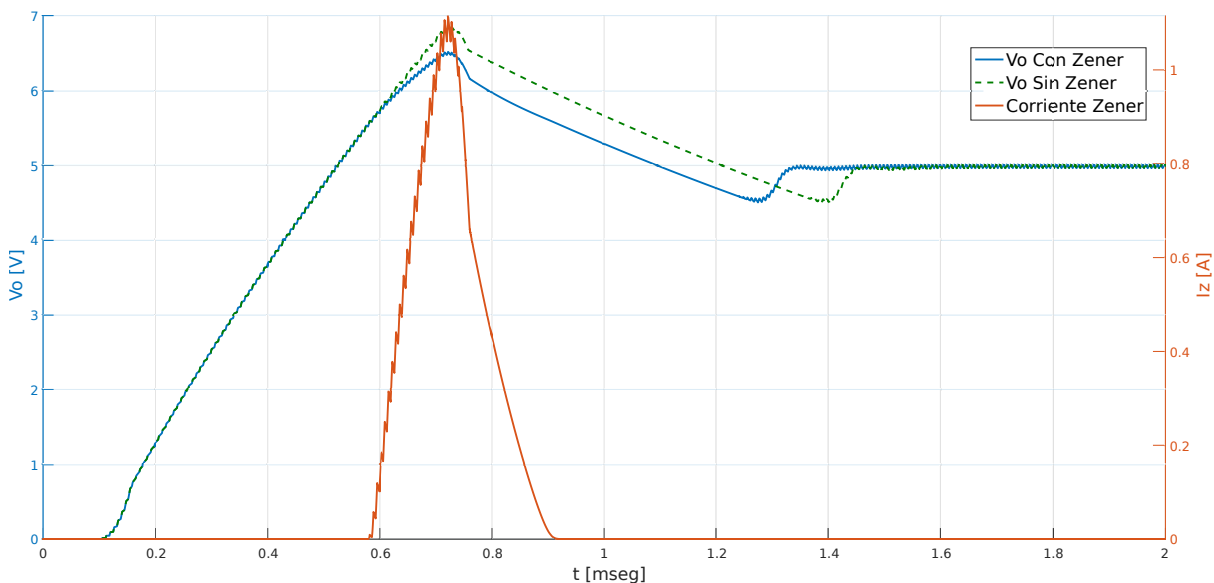


Figura 3.8: (izquierda) tiempo vs. voltaje de salida (derecha) tiempo vs. corriente del Zener para  $R_L=5 \Omega$ .

brevoltaje del Zener en paralelo también ayuda a disminuir el sobrepasamiento inicial del regulador (el máximo de la curva verde sobre el máximo de la curva azul) y adicionalmente se acorta el tiempo de establecimiento al valor de régimen. El pico de corriente del Zener en este caso dura menos de  $1 \text{ ms}$ , lo que no representa un nivel peligroso de disipación para el dispositivo que se implementará (potencia máxima de  $0.5 \text{ W}$ ).

<sup>1</sup> Ambas figuras tienen dos ejes Y uno para tensión (eje Y izquierdo) y otro para corriente (eje Y derecho)

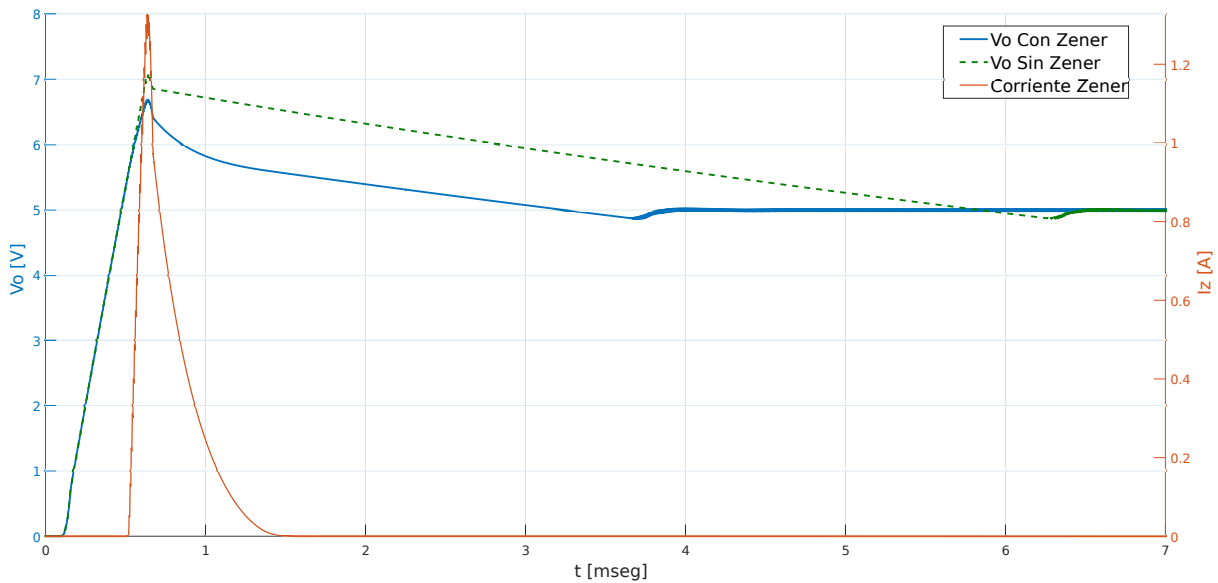


Figura 3.9: (izquierda) tiempo vs. voltaje de salida (derecha) tiempo vs. corriente del Zener para  $R_L=50 \Omega$ .

### 3.5.5. Ripple a la salida

Un factor importante de la SMPS es el nivel de ripple a la salida. La aproximación que se tomó fue usar el mismo esquema de simulación de la figura 3.7 para observar el nivel de ripple que verá a la salida para dos tensiones de entrada y para cada tensión evaluar con 3 cargas:  $50$ ,  $5$  y  $1.66 \Omega$ , que derivan en tres corrientes distintas de salida:  $100 \text{ mA}$ ,  $1$  y  $3 \text{ A}$ . El resultado de las simulaciones se presenta en las figuras 3.10 y 3.11.

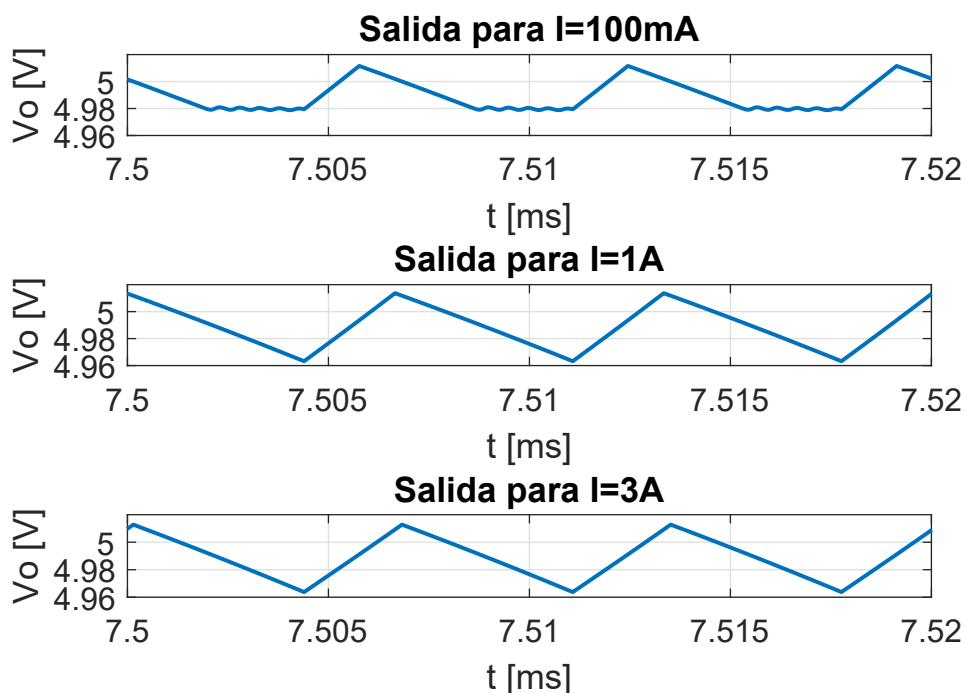


Figura 3.10: Ripple de voltaje para tres corrientes cuando la entrada es  $V_{in} = 16 \text{ V}$ .

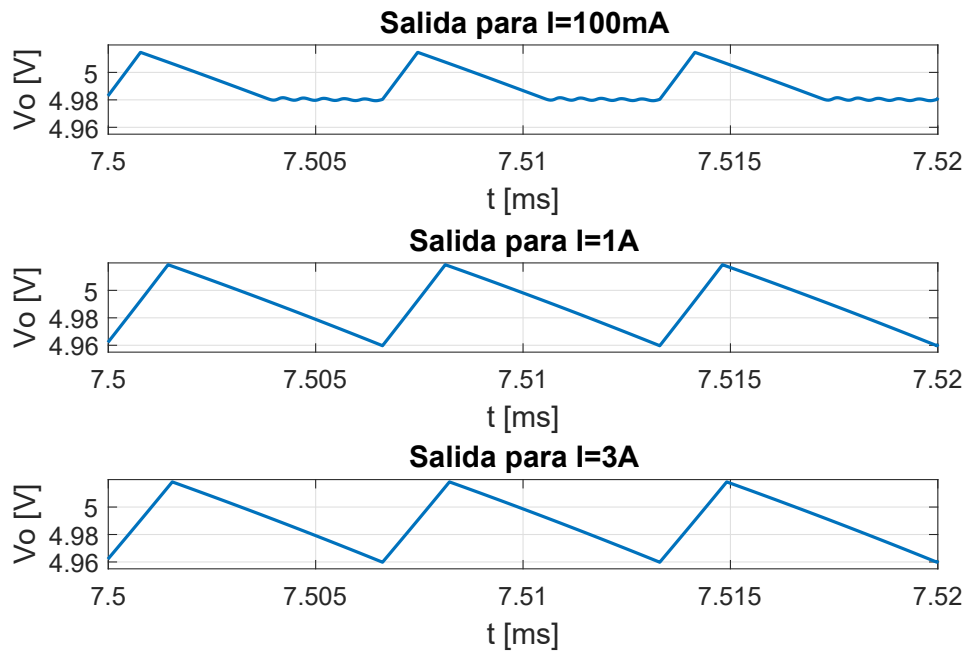


Figura 3.11: Ripple de voltaje para tres corrientes cuando la entrada es  $V_{in} = 24\text{ V}$ .

Como se puede apreciar en las figuras 3.10 y 3.11 el nivel de ripple no varía de forma significativa cuando varía la tensión de entrada, pero sí lo hace cuando varía la corriente de salida. Cuando se suministra una corriente de salida de  $I = 100\text{ mA}$  se presenta un nivel de ripple  $V_R = 40\text{ mV}_{pp}$ , mientras que para una corriente de  $I = 1\text{ A}$ , el ripple es de  $V_R = 70\text{ mV}_{pp}$ .

## 3.6. Fuente Lineal

Si bien es cierto el nivel de ripple encontrado para la fuente conmutada es relativamente pequeño respecto de la salida nominal ( $70\text{ mV}$  es el 1.4% de  $5\text{ V}$ ) y no afecta de ninguna forma los circuitos digitales, se debe tener en cuenta que no se ha contemplado ningún otro factor que pueda degradar la fuente (ruido térmico y picos de corriente de los mismos circuitos digitales, por ejemplo). Si se generaliza este ripple para una posible etapa conmutada con salida de  $3.3\text{ V}$ , que requiere el microcontrolador y otros dispositivos, se pueden tener errores considerables de mediciones en sensores analógicos.

Para consolidar lo expuesto se puede recurrir al siguiente ejemplo: Si se asume el mismo nivel de ripple que se encontró para el regulador conmutado de  $5\text{ V}$  para la salida de un segundo regulador conmutado de  $3.3\text{ V}$ , el cual alimenta al microcontrolador y a sus conversores analógicos digitales; y se desea adquirir datos del sensor de presión

diferencial MPXV7002, que tiene una sensibilidad dada por la ecuación 3.3.

$$S = 1 \frac{KPa}{V} \quad (3.3)$$

Un nivel de ripple en la alimentación de  $70 \text{ mV}_{pp}$  causa un error en la medición ( $\Delta S$ ) que se puede expresar con la ecuación 3.4.

$$\Delta S = 1 \frac{KPa}{V} \times 70 \text{ mV} = 70 Pa \quad (3.4)$$

Este error no tiene en cuenta ni el error del sensor ni el ruido que se acopla, se puede esperar mayor error en la medición. Para afrontar este problema se plantea una situación de compromiso entre la eficiencia de la fuente y el nivel de ripple que se maneja, el cual se encuentra en usar un regulador lineal LDO (por sus siglas en inglés, Low Drop Out) en serie con el conmutado de  $5 \text{ V}$  para generar los  $3.3 \text{ V}$ , adicionalmente, se filtrará este voltaje generado usando chips de ferrite o «Ferrite Beads» para alimentar sensores analógicos. El esquemático diseñado en Altium para esta etapa se muestra en la figura 3.12.

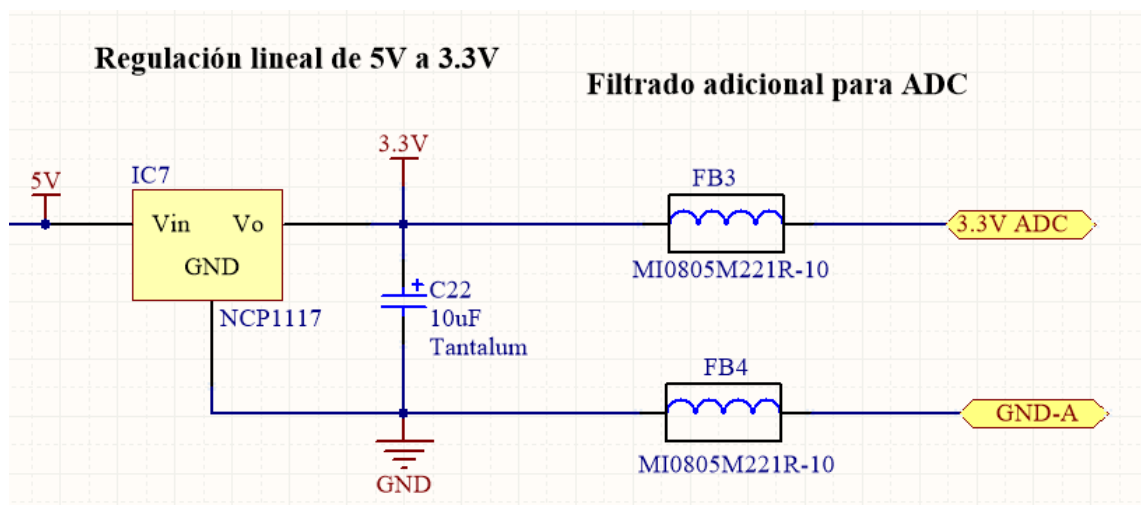


Figura 3.12: Regulador lineal con salida  $3.3 \text{ V}$  y filtrado con ferrites

Para verificar el funcionamiento del circuito de la figura 3.12 se realizó nuevamente un esquema de simulación en LTSPICE, el cual consiste en colocar en cascada el regulador lineal mostrado con el regulador conmutado ( $5 \text{ V}$  de SMPS); adicionalmente se inyectó una fuente de ruido a la salida de  $3.3 \text{ V}$  que a su vez es modulada con una onda sinusoidal de  $300 \text{ MHz}$ . El motivo de esta modificación es que los ferrites que se usaron como filtro para la tensión y masa analógica son los MI0805M221R-100, los cuales según su hoja de datos presentan una resistencia de  $220 \Omega$  a  $100 \text{ MHz}$  y de esa forma se está seguro que el ancho de banda de ruido estará por encima de esta frecuencia y se podrá verificar su funcionamiento en la simulación. El esquema de simulación se presenta en la figura 3.13.

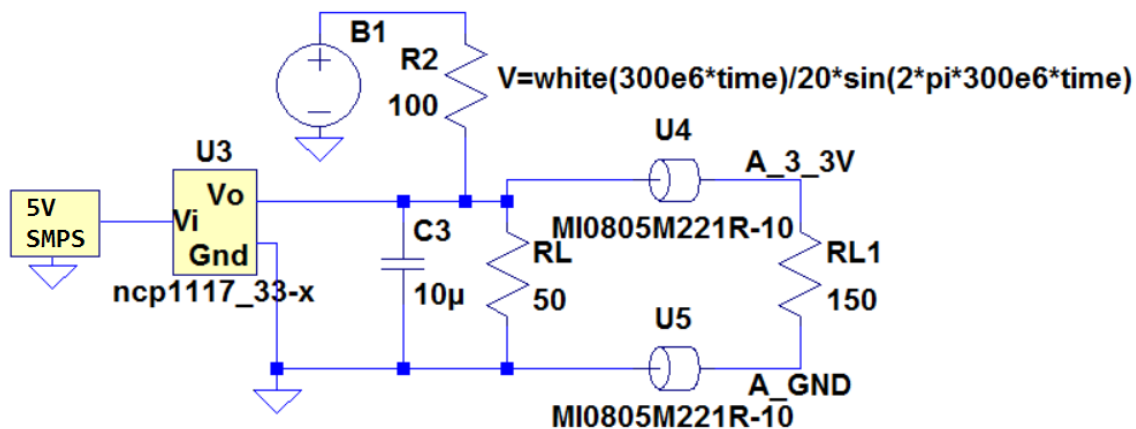


Figura 3.13: Esquema de simulación de la fuente lineal con ruido inyectado.

En la figura 3.13 el bloque «5V SMPS» es un diagrama resumido de la fuente SMPS de la figura 3.8 (incluso se han preservado los  $5 \Omega$  de carga para que el regulador lineal se alimente de una línea con ripple de al menos  $70 \text{ mV}_{pp}$ ). El regulador lineal se ha cargado con  $50 \Omega$  y la parte filtrada con  $150 \Omega$ . El comportamiento del regulador determinado al ejecutar la simulación se muestra en la figura 3.14.

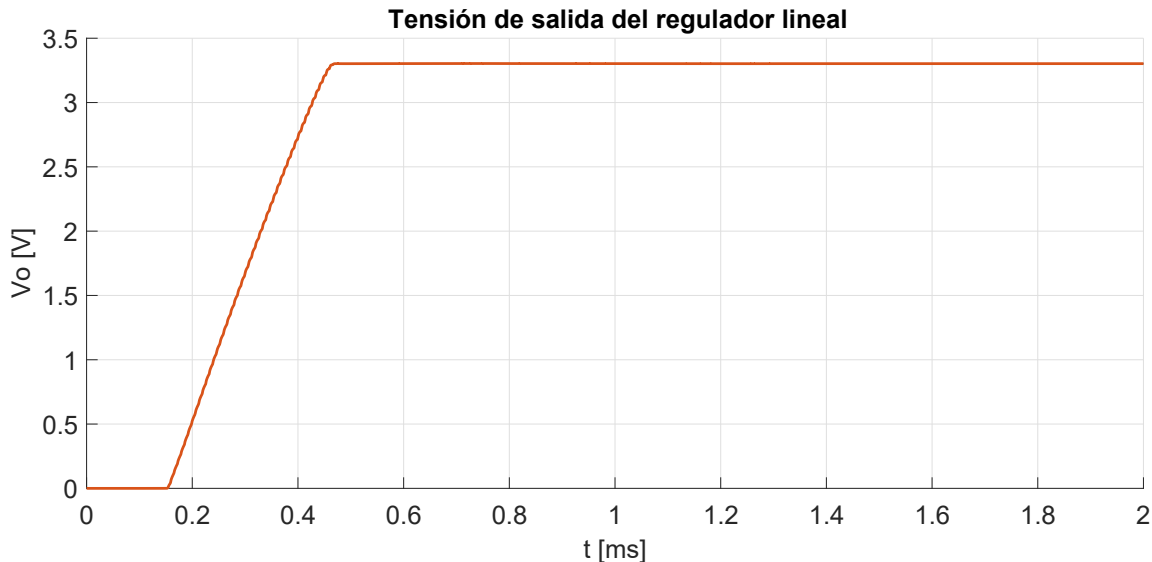


Figura 3.14: Respuesta del regulador lineal.

Si se amplía la figura 3.14 en un intervalo dentro de su estado de régimen se puede observar dos situaciones favorables para esta configuración: un bajo nivel de ripple en relación a la fuente conmutada, y la eficacia del filtrado con ferrites. La ampliación es mostrada en la figura 3.15.

El nivel de ripple es menor a  $40 \mu\text{V}_{pp}$ , si se retoma el ejemplo del sensor MPXV7002

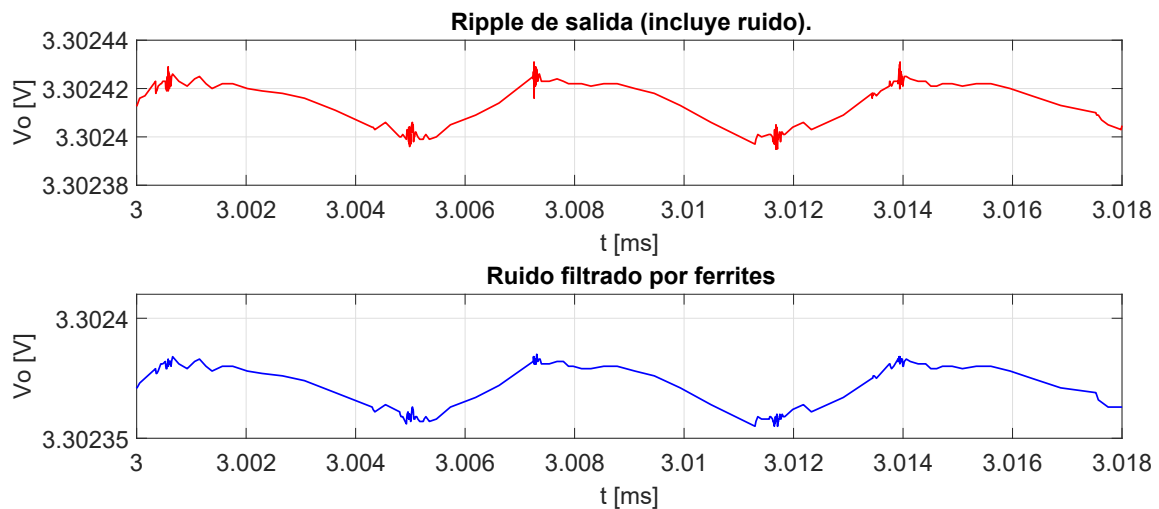


Figura 3.15: Ampliación de figura 3.14 en estado de régimen.

se tendrá un error por ripple dado por la ecuación 3.5.

$$\Delta S = 1 \frac{KPa}{V} \times 40 \mu V = 40 mPa \quad (3.5)$$

Este resultado es mucho más satisfactorio que el de la contraparte conmutada. El otro lado del compromiso es la pérdida de eficiencia, según la hoja de datos la corriente de reposo máxima del regulador NCP1117 es  $10 mA$ , que es 100 veces menor a la salida máxima de  $1 A$  por lo que la fórmula para el cálculo de eficiencia de fuentes lineales LDO se puede resumir a:

$$\eta_{reg3.3V} = \frac{V_{in}}{V_{out}} = \frac{3.3 V}{5 V} \times 100 \% = 73 \% \quad (3.6)$$

Este resultado es menor al típico  $90 \%$  que exhibe el regulador conmutado con LM2596.

### 3.7. PWR/GND

Este esquemático detalla la forma en que se desacoplan los pines de alimentación del microcontrolador, el mismo concepto y criterio de desacoplo se generalizará a todos los circuitos digitales que se implementen.

Desacoplar se refiere a aislar la fuente de los picos de corriente que generan los circuitos digitales. Un elemento característico de la lógica digital es un inversor CMOS (por sus siglas en inglés Complementary Metal-Oxide Semiconductor), un circuito digital cualquiera, como un módulo I2C, puede contener decenas de miles de inversores. Si se considera al inversor como un célula básica contenida en circuitos digitales más complejos, basta evaluar el efecto que tiene un inversor sobre una fuente ideal que lo alimenta sin ningún tipo de desacoplo.

Un inversor CMOS se contruye con dos transistores, un N-MOS y un P-MOS. Para simular se eligieron modelos SPICE para transistores de  $0.35 \mu m$  de ancho de canal, tecnología aún vigente que acepta ser manejada por niveles de  $3.3 V$ . El circuito de simulación del inversor se muestra en la figura 3.16.

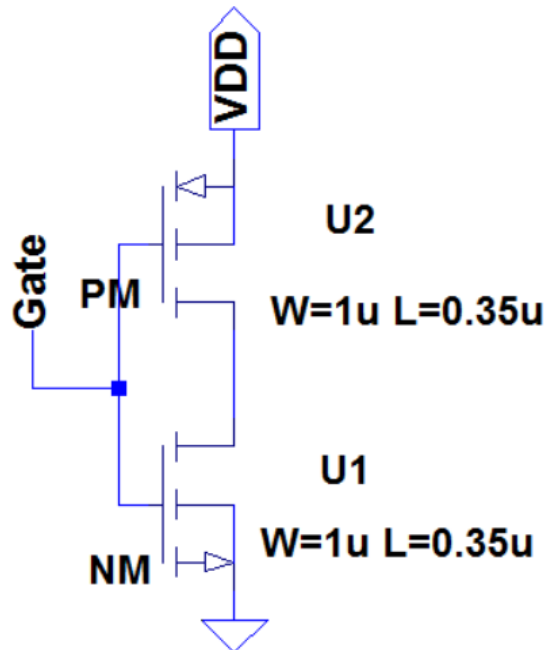


Figura 3.16: Inversor con transistores de  $0.35 \mu m$  de ancho de canal.

Se creó un circuito de simulación que trabaja a niveles de  $3.3 V$  (figura 3.17). Se inyecta en los pines GATE de ambos transistores una onda cuadrada a la entrada de  $5 KHz$  y con tiempo de crecimiento de  $10 us$ . Se alimentó al inversor con una fuente ideal con resistencia en serie de  $0.5 \Omega$  y una inductancia que corresponde a una pista de cobre de  $1 cm$  de largo,  $2 mm$  de ancho y grosor correspondiente a un PCB con  $1 oz/in^2$ <sup>2</sup>,  $5.6 nH$ .

La salida, como es de esperarse, se invierte. Lo que se busca resaltar es que existe un periodo de transición entre un cambio de nivel a la salida (producto de un cambio inverso a la entrada, valga la redundancia), por ejemplo en la salida, durante una transición de nivel alto (N-MOS en alta impedancia y P-MOS en baja impedancia) a un nivel bajo (N-MOS en baja impedancia y P-MOS en alta impedancia). Se pasa momentáneamente por un nivel de impedancia media de ambos transistores, la cual ocasiona un pico de corriente, como se muestra en la figura 3.18. El efecto de este pico de corriente sobre la fuente ideal se muestra en la figura 3.19.

La figura 3.19 muestra que un solo inversor puede causar variaciones en la fuente de alimentación de hasta  $0.07 mV$  respecto de su valor en estado de régimen. Este nivel de

<sup>2</sup>Se empleó el calculador de inductancias de la siguiente página: <http://chemandy.com/calculators/flat-wire-inductor-calculator.htm>.



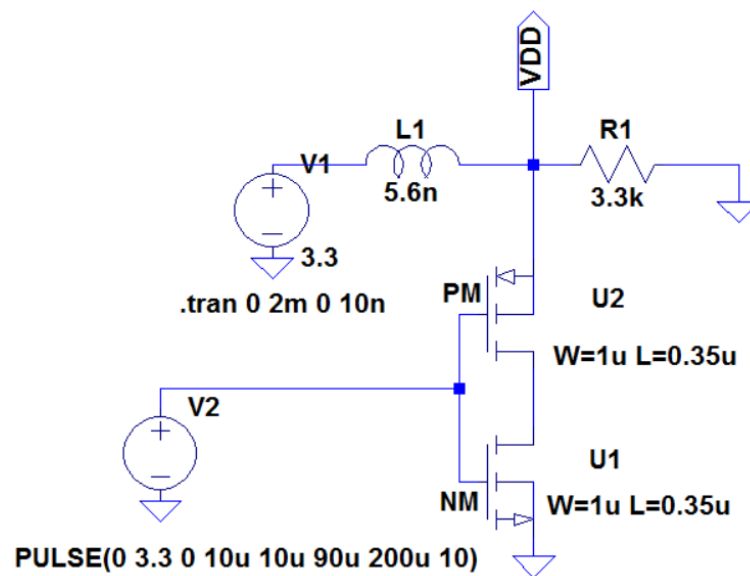


Figura 3.17: Circuito de simulación con inversor.

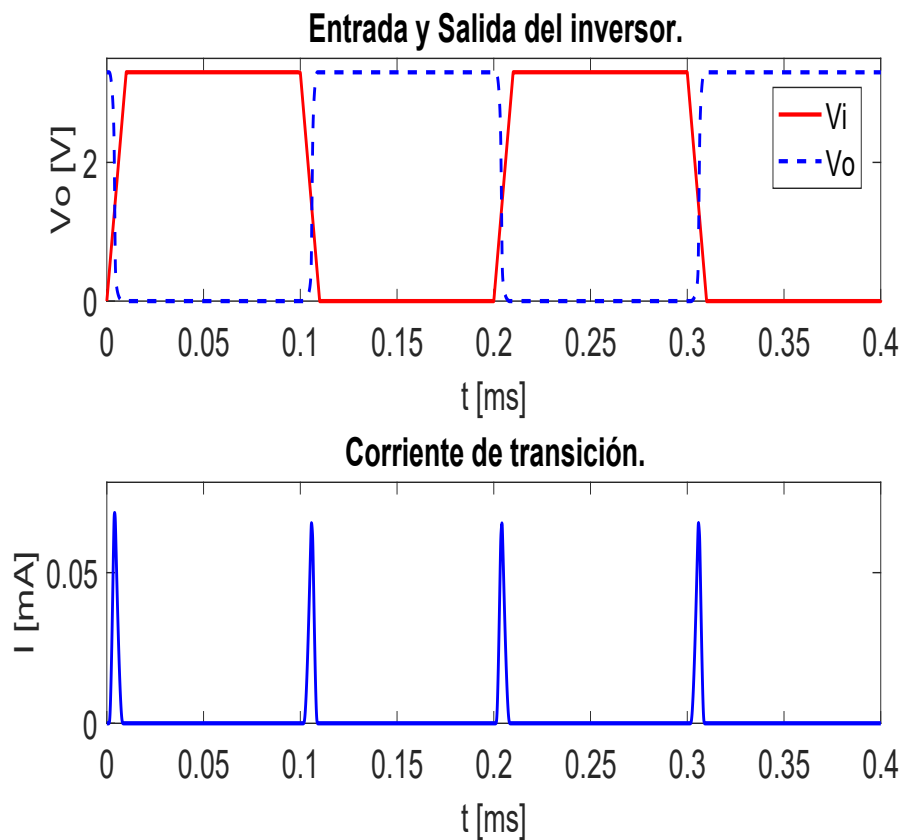


Figura 3.18: Resultados de la simulación del inversor.

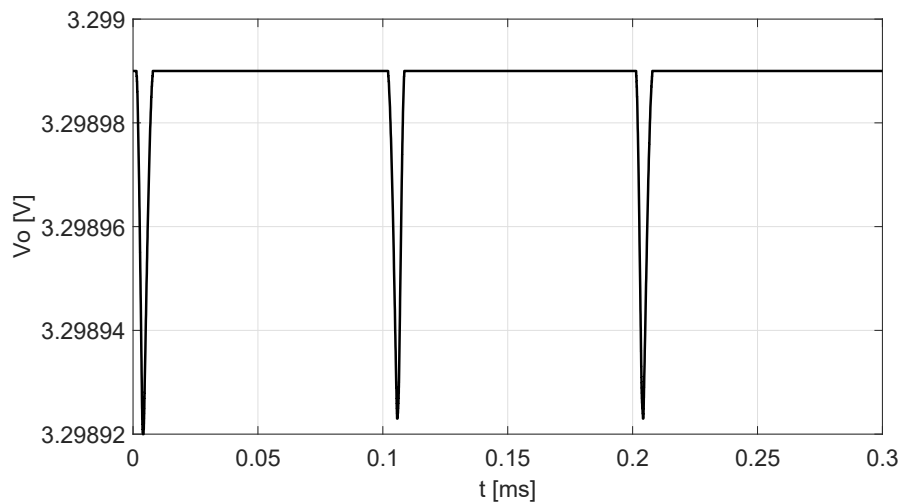


Figura 3.19: Fuente ideal afectada por conmutaciones del inversor.

voltaje no es una cifra significativa. Para inspeccionar cual sería el efecto de varios inversores se consideró construir el mismo circuito de simulación con 60 de estos (no se espera un crecimiento lineal) y alimentar estos en grupos arbitrarios por 5 fuentes desfasadas similares a la de la figura 3.17 (este circuito de simulación se muestra en la figura B.1 del anexo). El resultado se visualiza en la figura 3.20.

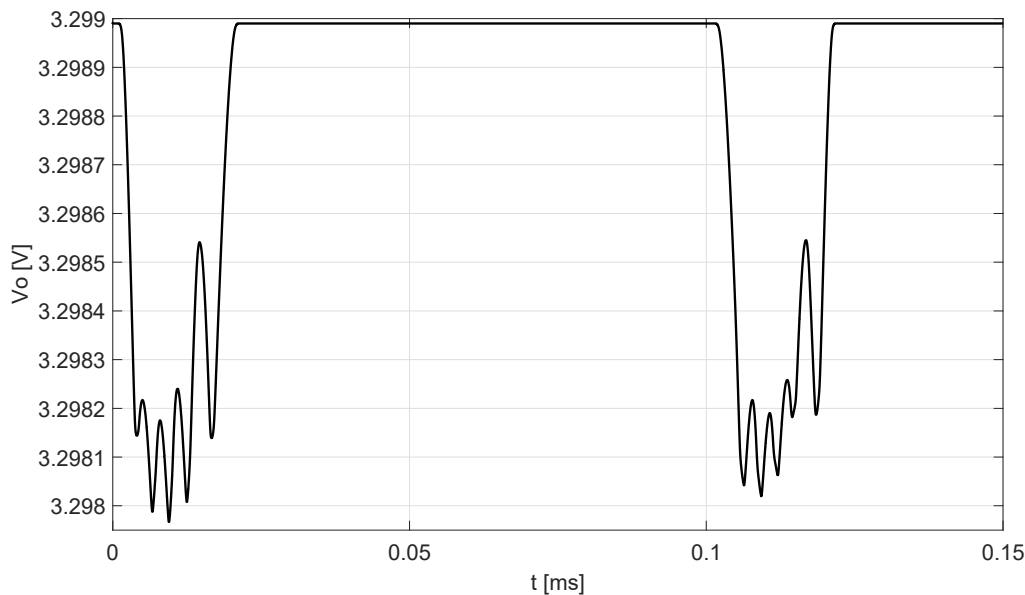


Figura 3.20: Fuente ideal afectada por 60 inversores.

Para el caso de la figura 3.20, la fuente experimenta una variación máxima de  $\pm 1$  mV, también se resalta el carácter oscilatorio que adquiere cuando los inversores no están en fase. Si se considera que existen miles de circuitos más complejos en todos los dispositivos digitales que se emplearán, se puede esperar variaciones en la fuente de alimentación de varios ordenes por encima del que se ha visto en ambos ejemplos, en este caso el aco-



plamiento de estas corrientes a la fuente puede degradarla significativamente, exponiendo el sistema general al fallos por su propio funcionamiento.

Un método de uso masivo para este tipo de situaciones es el uso de un capacitor de desacoplo.

### 3.7.1. Capacitor de desacoplo

Un capacitor de desacoplo (en inglés «Bypass Capacitor») puede aminorar la degradación de la fuente que se muestra en la figura 3.20. Básicamente el capacitor de desacoplo provee la corriente de conmutación de los circuitos digitales antes que esta provenga de la fuente. Para tener una idea del efecto de su empleo, se colocó un capacitor de  $10 \mu F$  en paralelo con la fuente luego de la inductancia de  $5.6 nH$ , que ya se dijo, simula las inductancias de las pistas de conexión.

También se optó por simular el mismo circuito reemplazando el capacitor ideal de  $10 \mu F$  con dos capacitores reales, modelados considerando solo la *ESR* y la *ESL*. Ambos parámetros fueron obtenidos de las tablas 3.2 y 3.3. **Nota.** Fuente: Cain, Jeffrey *COMPARISON*

Tamaño de Encapsulado	Inductancia ( <i>pH</i> )
Cerámico	
603	850
805	1050
1206	1250
1210	1020
Tantalio	
R	1600
A	2200
B	2250
C	2800

Tabla 3.2: Inductancia equivalente en serie Capacitores Cerámicos y de Tantalio.  
*OF MULTILAYER CERAMIC AND TANTALUM CAPACITORS* (p. 3)

Para la simulación se eligió de estas tablas:

- Capacitor cerámico  $10 \mu F$ , encapsulado 0805,  $ESL=1050 pH$   $ESR=600 m\Omega$ .
- Capacitor de tantalio  $10 \mu F$ , encapsulado «A»,  $ESL=2200 pH$   $ESR=1600 m\Omega$ .

El resultado puede visualizarse en la figura 3.21. Se puede observar del resultado muestra-

AVX Part Number	Description	ESR@100kHz (mΩ)	ESR@1MHz (mΩ)
TAJA105M016 1206YC105M	A case, 1μF, 16V 16V, 1μF, X7R	5000 2200	1500 25
TAJA106M010 1206ZG106Z	A case, 10μF, 10V 10V, 10μF, Y5V	1600 600	350 20
TAJB226M010 1210ZG226Z	B case, 22μF, 10V 10V, 22μF, Y5V	1300 4	1000 3
TPSC226M016 1210ZG226Z	C case, 22μF, 10V low ESR tant. 10V, 22μF, Y5V	300 4	250 3

Tabla 3.3: Resistencia equivalente en serie de varios capacitores.

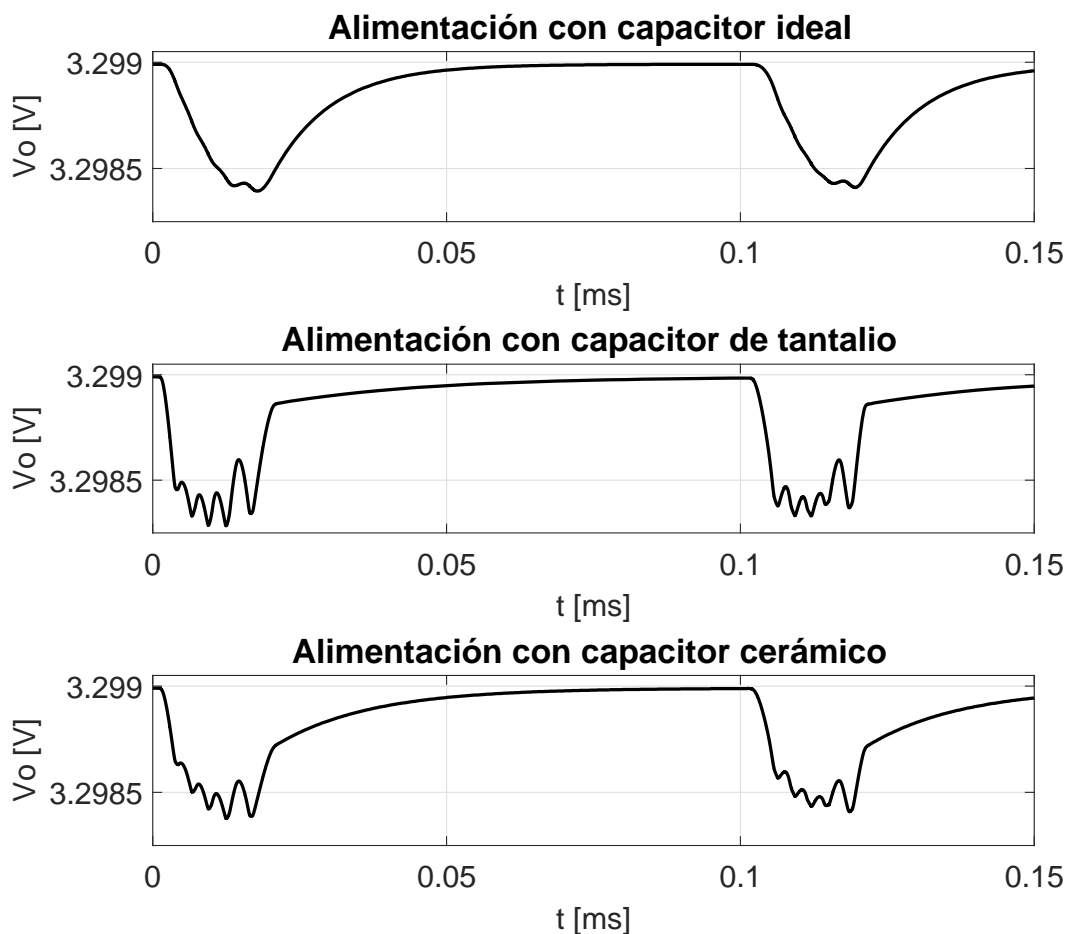


Figura 3.21: Alimentación con capacitor de desacoplo Ideal, Tantalio y Cerámico.



do que el uso de un capacitor de tantalio o cerámico no desacoplan las corrientes tan bien como uno de ideal, esto era de esperarse. La información de mayor valor se encuentra en comparar los dos capacitores modelados con ESR y ESL, el mejor comportamiento, para un mismo valor de capacidad lo posee el cerámico, que presenta menor ESR y ESL que su contraparte de tantalio. Se espera que independientemente del valor de capacidad, a una determinada frecuencia la respuesta del capacitor es definida por sus características de *ESR* y *ESI* y no por su capacidad nominal.

Se verificará la última afirmación comparando el capacitor de tantalio con uno cerámico  $100\text{ nF}$  de menor tamaño (encapsulado 0603): C0603C104K8RACTU. Según su hoja de datos presenta un Factor de Disipación o Dissipation Factor (por sus siglas en inglés DF) de 5%, para encontrar la ESR de este capacitor se recurre a la siguiente fórmula (la tabla 3.3 no incluye el valor para este encapsulado).

$$DF = \frac{ESR}{X_c} = 0.05 \quad (3.7)$$

Si se considera una frecuencia de  $f = 10\text{ MHz}$ , la reactancia capacitiva  $X_c$  puede ser expresada con la ecuación 3.8.

$$X_c = 2\pi fC = 2\pi(10 \times 10^6)(100^9) = 6.283\ \Omega \quad (3.8)$$

Ahora se calcula la *ESR* con la ecuación 3.9.

$$ESR = (0.05)(6.283) = 314.16\text{ m}\Omega \quad (3.9)$$

Se realizará una simulación aumentando la frecuencia de las conmutaciones a  $10\text{ MHz}$  y configurando el tiempo de crecimiento a  $10\text{ ns}$ , también se redujeron el número de inversores a 20. La simulación se repetirá en dos configuraciones de desacoplo:

- Desacoplo con dos capacitores de tantalio en paralelo, ambos de  $10\ \mu\text{F}$  ( $ESR = 1.6\ \Omega$  y  $ESI = 2200\text{ pH}$ )
- Desacoplo con capacitor de tantalio en paralelo a cerámico C0603C104K8RACTU ( $100\text{ nF}$ ,  $ESR = 0.314\ \Omega$  y  $ESI = 850\text{ pH}$ ).

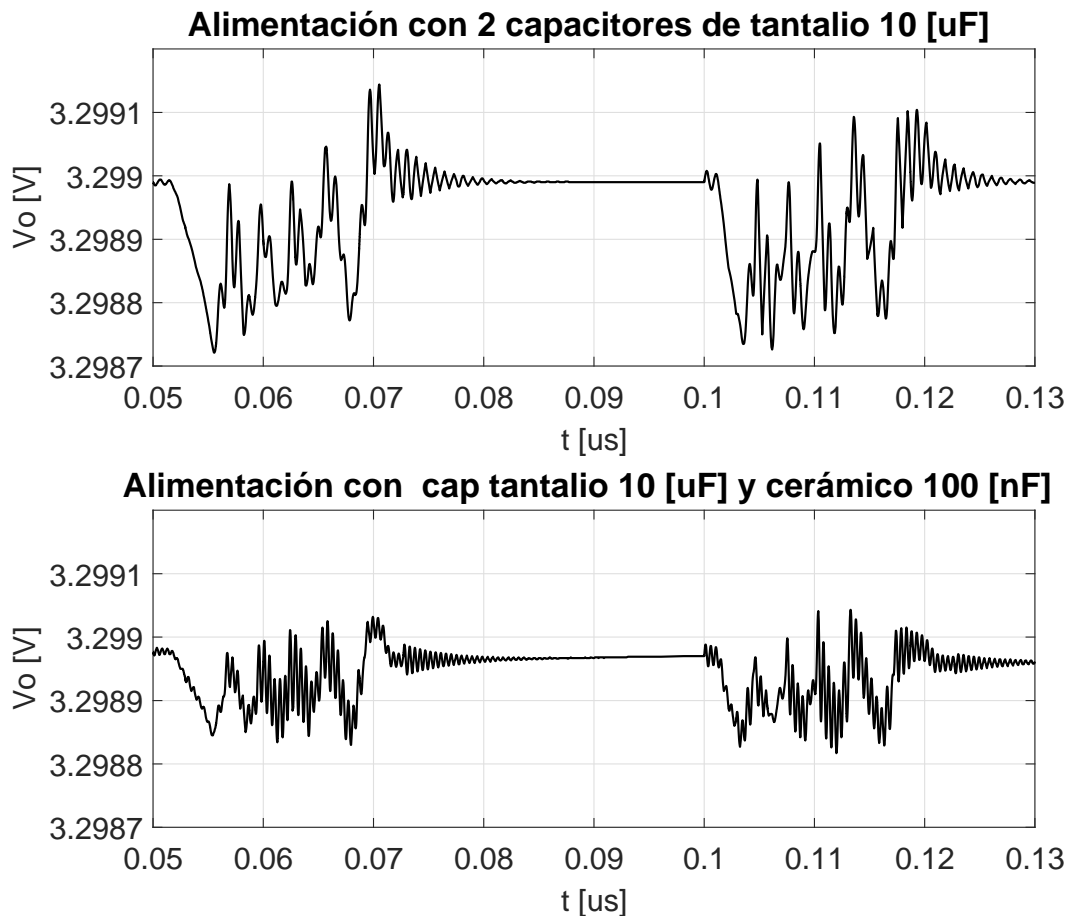


Figura 3.22: Simulación con 20 inversores a 10 MHz y tiempo de crecimiento 10 ns.

Como se puede observar en la figura 3.22, pese a que se esperaría menor variación de la alimentación con dos capacitores de tantalio de 10  $\mu F$  (que suman un total de 20  $\mu F$ ), frente a uno 10  $\mu F$  del mismo tipo con uno de 100 nF (que suman un total de 10.1  $\mu F$ , sin embargo, el gráfico muestra que para el primer caso la alimentación presenta una variación pico de 0.4 mV mientras que el segundo 0.2 mV. Esto sucede porque a la frecuencia en que se simuló el circuito los capacitores de mayor valor entran en su región inductiva, mientras que el capacitor de menor valor aún sigue en su región capacitiva.

La simulación comprueba que para efectos de usar un capacitor de desacoplo el valor de  $ESR$  y  $ESI$  que presente importa tanto como el valor de la capacidad misma, también se comprueba la famosa regla de oro o «Rule of thumb» de desacoplar la fuente de alimentación con un capacitor de 100 nF. Esta regla comprobada se visualizará en el uso de capacitores de 100 nF en encapsulado 0805, los cuales se escogieron sobre la versión de encapsulado 0603 considerando no solo la capacidad de desacoplo, sino que también la facilidad de soldado en el PCB final y disponibilidad en el mercado (descartando importaciones).

La directa aplicación de este regla sobre el diseño realizado se puede observar en la figura 3.23. En la figura 3.23 se puede apreciar en un solo bloque todos los pines de

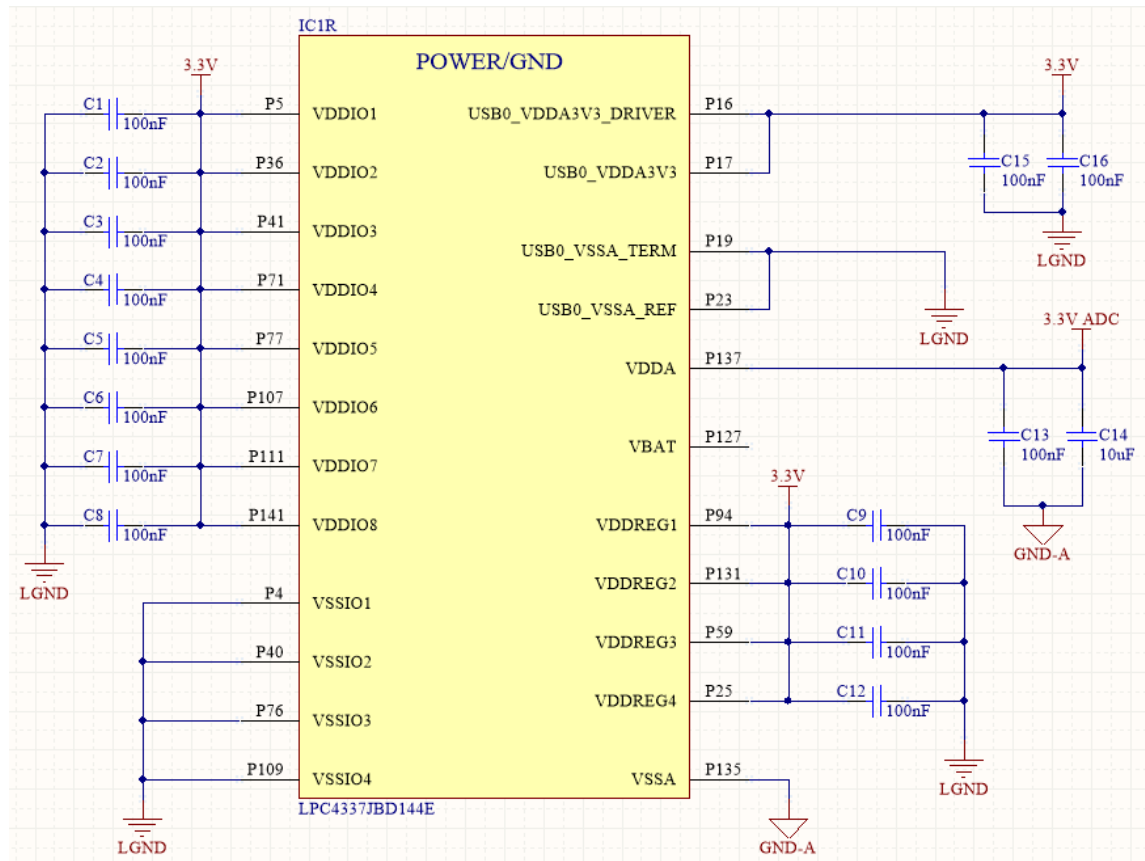


Figura 3.23: Esquemático de alimentación del microcontrolador NXP LPC4337.

alimentación del microcontrolador (Bloque «IC1R»). Se puede observar como todos los pines con prefijo «VDD» son desacoplados con un capacitor de  $100\text{ nF}$ . Un caso que se puede resaltar es el pin 137 «VDDA», que se usa un desacoplo como el planteado en el análisis anterior usando dos capacitores cerámicos de  $10\text{ }\mu\text{F}$  tamaño 1206 y uno de  $100\text{ nF}$  tamaño 0805. Todos los pines desacoplados se llevan a una pista de masa local «LGND», la cual se conecta al plano de masa en un solo punto, más detalles de esta decisión de diseño se verán en el capítulo 3.

Todos los circuitos digitales empleados en las siguientes secciones serán desacoplados de la misma forma.

### 3.8. GPIO

En este esquemático se detallan las conexiones de los pines de propósito general del microcontrolador. Estas conexiones pueden ser vistas en los esquemáticos correspondien-

tes en las figuras A.7 y A.8 del anexo, en resumen se conectan pines para las siguientes funciones:

- 8 salidas/entradas digitales de propósito general.
- 8 salidas/entradas digitales para radiocontrol.
- Puerto serie para módulo XBee.
- Puerto serie para GPS.
- Salida para función «sleep» del módulo XBee.
- Habilitador y detección de la tarjeta SD.
- Puerto SPI para tarjeta SD.
- 6 salidas para LEDs en la placa.
- 4 entradas provenientes de switches en la placa.

### 3.8.1. Interruptores de entrada

La placa incluye 4 interruptores normalmente abiertos conectados de acuerdo al esquema mostrado en la figura 3.24.

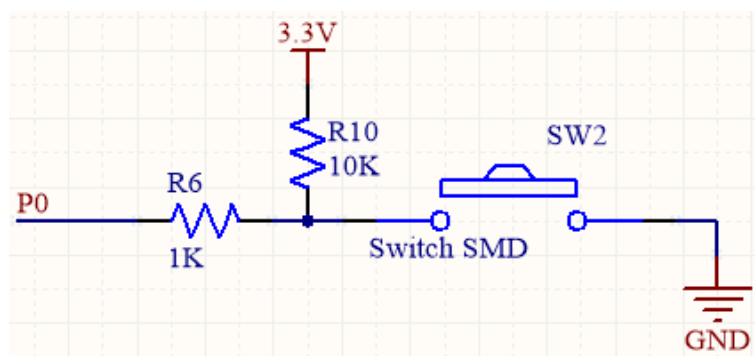


Figura 3.24: Esquemático de interruptores.

En el esquema mostrado se observa cómo la entrada del microcontrolador tiene la resistencia  $R6$  de  $1\text{ K}\Omega$  en serie, la cual se incluye como protección. Si no estuviera esta resistencia y el pin se configura por software como salida (baja impedancia) y se asigna un nivel alto, presionar el switch ocasionaría un cortocircuito, la resistencia  $R6$  limita la corriente ante esta situación a  $3.3/1000 = 3.3\text{ mA}$ . Cuando el pin está configurado como entrada,  $R6$  pierde significancia (la impedancia del pin es de al menos 2 órdenes más). La resistencia  $R10$  de  $10\text{ K}\Omega$  es una resistencia de pull-up, cuando el switch está abierto, lleva la entrada





del microcontrolador a nivel alto. Al presionarse el switch el pin de entrada ve un nivel bajo y una corriente de  $0.03 \text{ mA}$  pasa por R10.

### 3.9. Dispositivos I<sup>2</sup>C

En el diseño existen tres sensores, una memoria y un controlador de salidas moduladas por ancho de pulso que se comunican con el microcontrolador por protocolo I<sup>2</sup>C (del inglés Inter-Integrated Circuits), este es un tipo de bus creado por Philips (actualmente NXP) que permite comunicación entre dispositivos por solo 2 cables. No es el tema de este documento detallar el funcionamiento de este bus, pero sí los cuidados que hay que tener al implementar circuitos que lo usen. Los dispositivos que se conectan al bus I<sup>2</sup>C del microcontrolador son:

- LSM303D: Acelerómetro y magnetómetro 3D.
- LPS331: Sensor de presión absoluta.
- L3GD20H: Giróscopo de 3 ejes.
- 24AA1025: EEPROM de 1 Mb.
- PCA9685PW: Controlador PWM de 12 bit y 16 salidas.

La figura 3.25 muestra el símbolo esquemático de conexión del bus I<sup>2</sup>C en los respectivos pines del microcontrolador. El nombre de las dos líneas del bus son «I2C\_SCL» e «I2C\_SDA», como se muestra, ambas líneas están conectadas a  $3.3 \text{ V}$  a través de un resistor de pull-up. Todos los dispositivos mencionados se conectarán a estas dos líneas y trabajan a  $3.3 \text{ V}$ , por lo que ningún cambiador de nivel será requerido.

Para diseñar la conexión de estos dispositivos se deben verificar dos aspectos: el valor de los resistores de pull-up y la capacidad máxima entre las líneas. La tabla 3.4 muestra algunas especificaciones del bus I<sup>2</sup>C con las que se realizará el diseño:

#### 3.9.1. Resistencias de pull up

El máximo y mínimo valor que puede adoptar esta resistencia se puede obtener de las siguientes expresiones [9]:

$$R_p(max) = \frac{t_r}{0.8473 \times C_b} \quad (3.10)$$

$$R_p(min) = \frac{V_{DD} - V_{OL}}{I_{OL}} \quad (3.11)$$

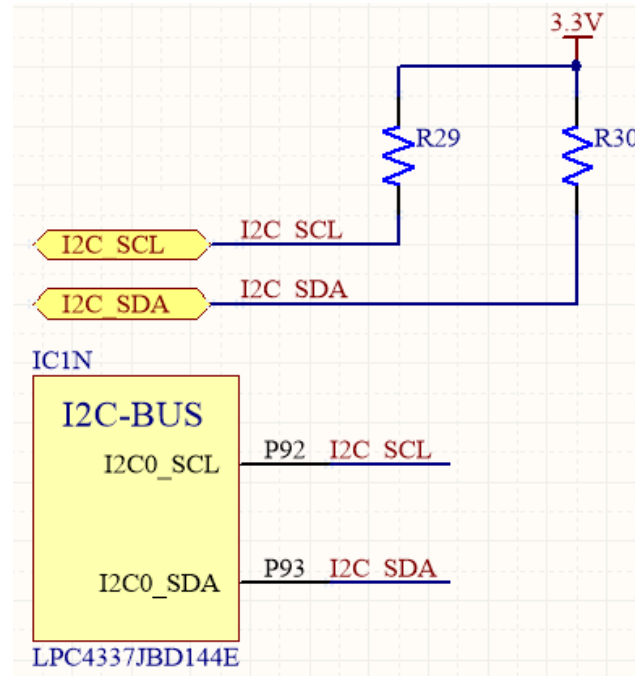


Figura 3.25: Esquemático de conexión del bus  $I^2C$  del microcontrolador.

	Standard-mode
Frecuencia de clock SCL ( $f_s$ )	100[KHz]
Tiempo de crecimiento ( $t_r$ )	1000[ns]
Capacidad máxima de cada línea ( $C_b$ )	400[pF]
Salida de tensión a nivel bajo ( $V_{OL}$ )	0.4[V]
Salida de corriente a nivel bajo ( $I_{OL}$ )	3[mA]

Tabla 3.4: Especificaciones relevantes del bus  $I^2C$ .

**Nota.** Fuente: Hoja de especificaciones UM10204 de NXP *I2C-bus specification and user manual* (p. 54).

Tanto la memoria EEPROM, como el controlador PWM en sus respectivas hojas técnicas establecen una capacidad de entrada de  $10\text{ pF}$ , no se muestra este parámetro para los sensores de aceleración, presión y giróscopo. Estos tres sensores son del mismo encapsulado «LGA-16», de dimensiones menores que los demás encapsulados, por lo que se puede esperar capacidad menor que los dos primeros casos. Para hacer una estimación de la capacidad total se asumirá  $10\text{ pF}$  por sensor. La capacidad total  $C_b$  total es  $50\text{ pF}$ .

Si se toma el tiempo de crecimiento mostrado en el cuadro 3.4 y la capacidad total estimada; y luego se reemplazan estos dos valores en la ecuación 3.10 se tiene el resultado que se muestra en la ecuación 3.12.

$$R_p(max) = \frac{1 \times 10^{-6}}{(0.8473)50 \times 10^{-12}} = 200\text{ K}\Omega \quad (3.12)$$

Reemplazando los valores del cuadro 3.4 en la ecuación 3.11 se obtiene  $R_p(min)$ .

$$R_p(min) = \frac{3.3 - 0.4}{3 \times 10^{-3}} = 966.67\ \Omega \quad (3.13)$$

El valor nominal elegido que cumple estas características es  $R_p = 10\text{ K}\Omega$ . Se muestra en las figuras 3.26-3.30 la implementación de cada sensor contenida en el esquemático  $I^2C$ , que incluye el desacoplo de fuente recomendado en las respectivas hojas de datos de cada sensor.

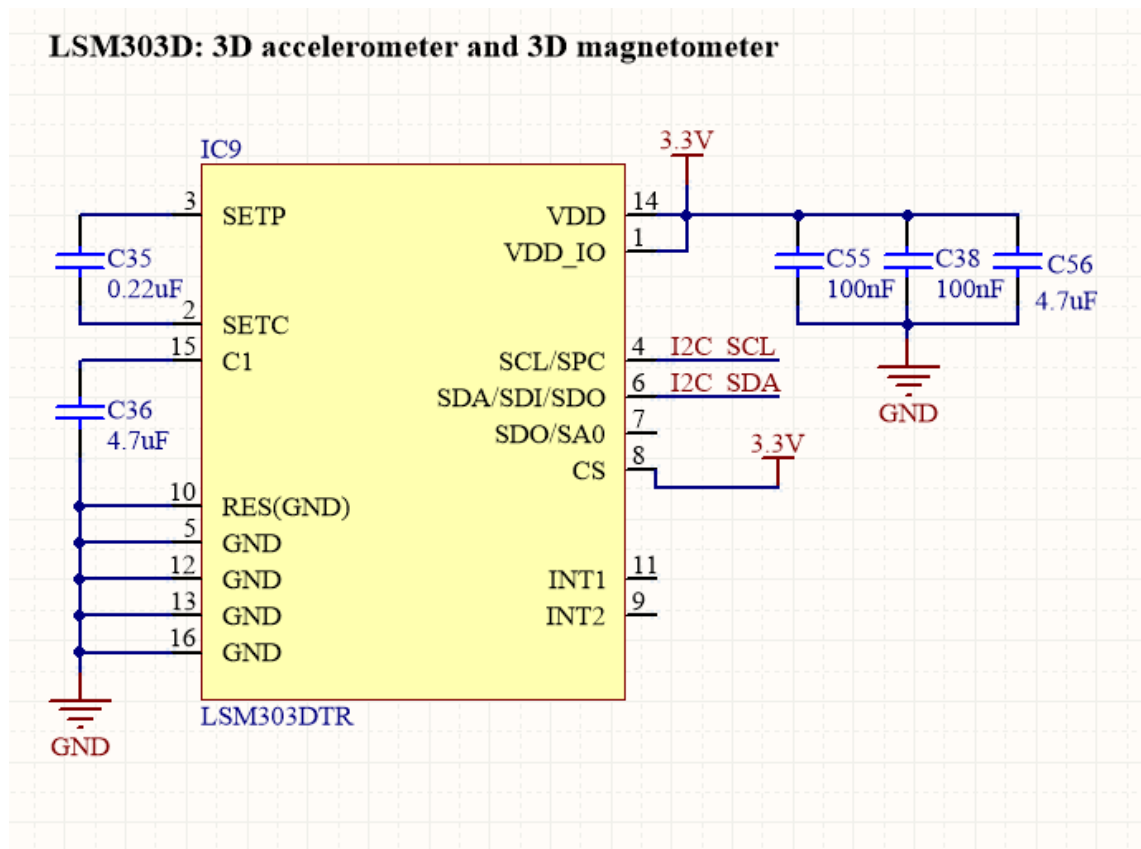


Figura 3.26: Esquemático del LSM303D.

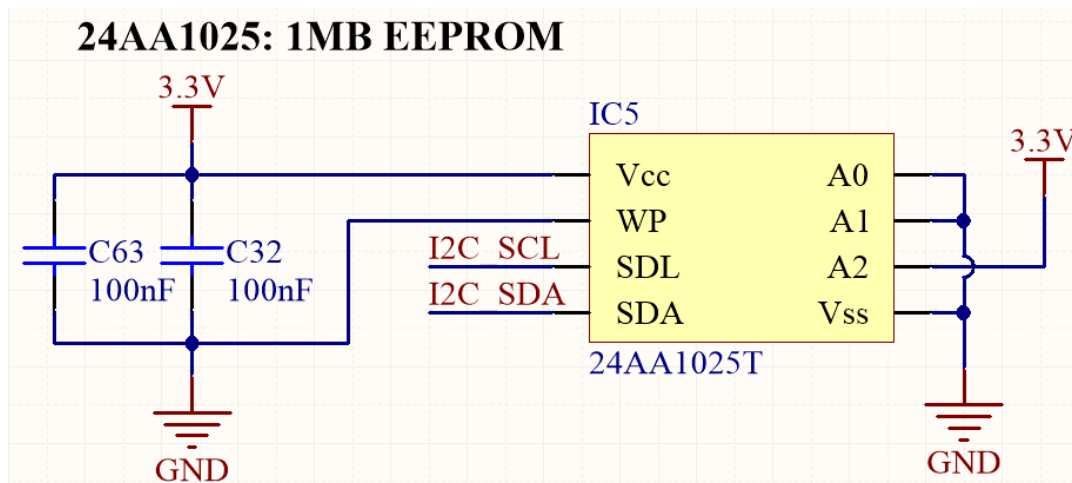


Figura 3.27: Esquemático del 24AA1025.

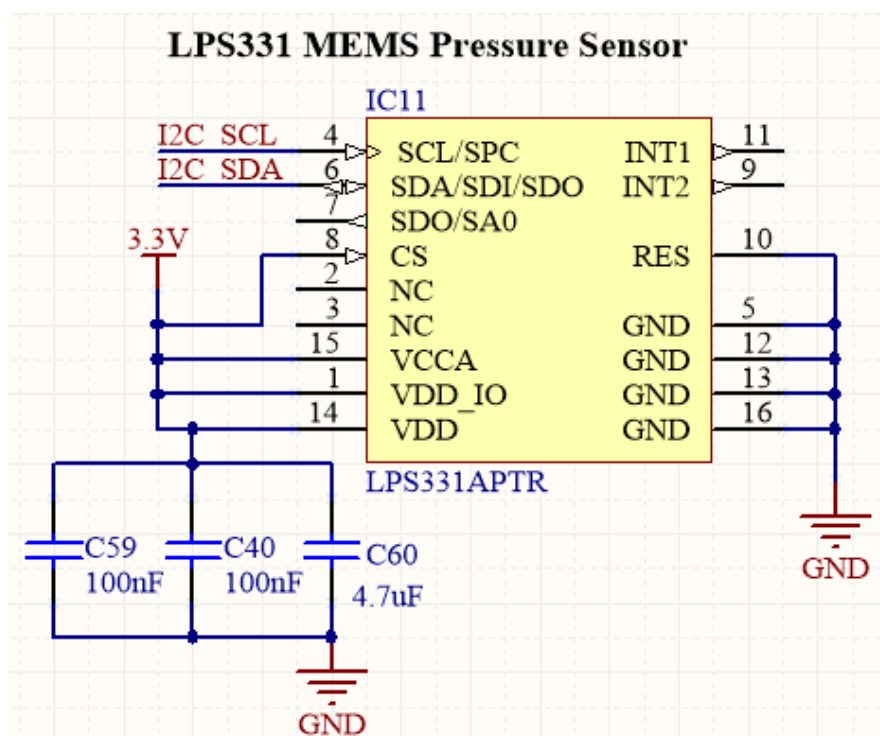


Figura 3.28: Esquemático del LPS331.

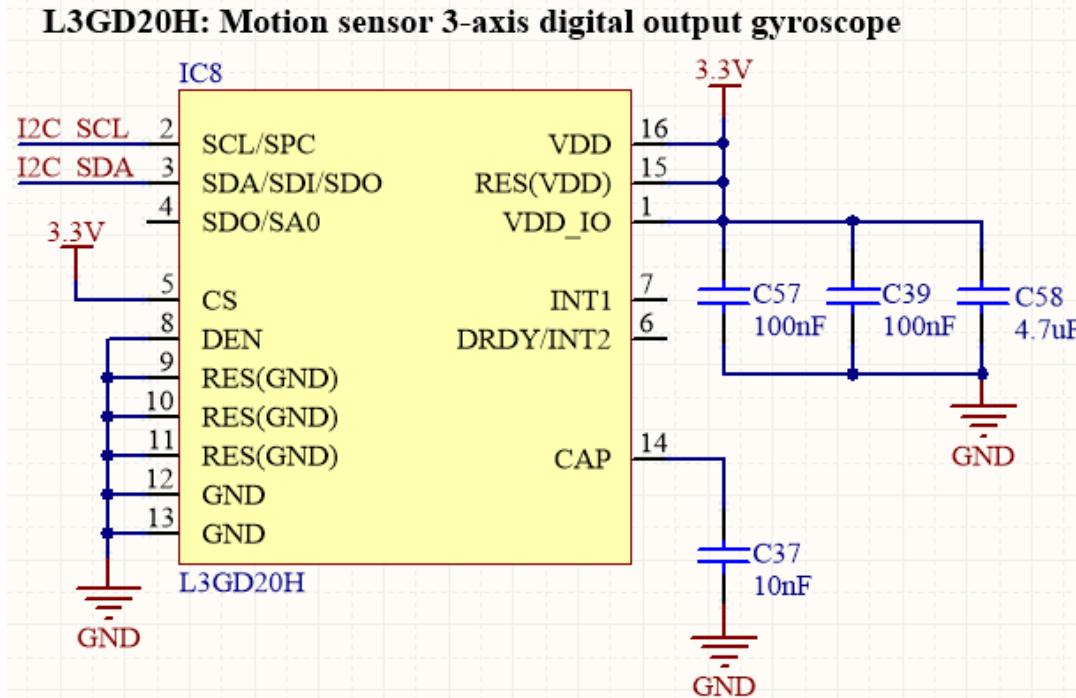


Figura 3.29: Esquemático del L3GD20H.

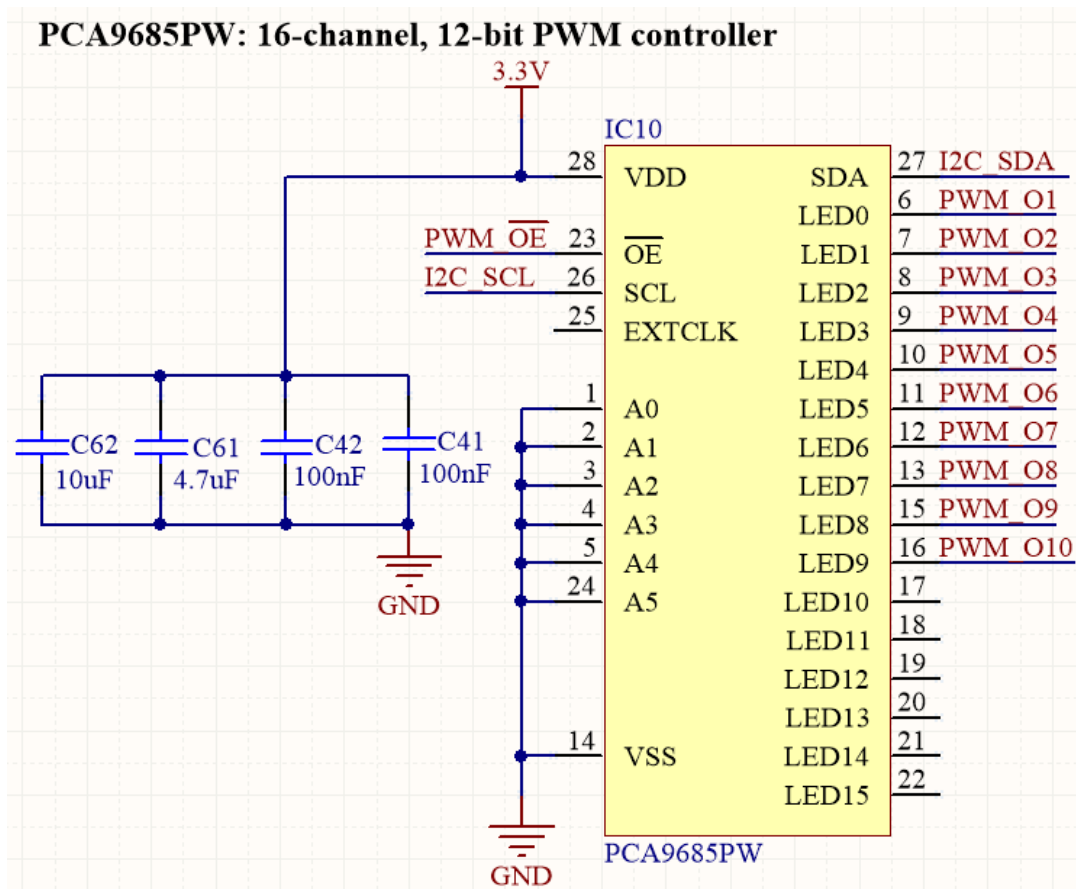


Figura 3.30: Esquemático del PC9685PW.

## 3.10. Dispositivos varios

Esta sección comprende los circuitos de entrada y salida que incluye la placa así como módulos analógicos.

### 3.10.1. LEDs indicadores

La placa incluye 6 LEDs indicadores, cada uno está conectado a su pin de control correspondiente en el microcontrolador a través de un MOSFET canal N (Q1-6) como se muestra en la figura 3.31. El MOSFET canal N es el 2N7002, su propósito es reducir el consumo de corriente a través del microcontrolador, extrayendo la corriente necesaria para hacer funcionar los LEDs de la fuente de alimentación conmutada.

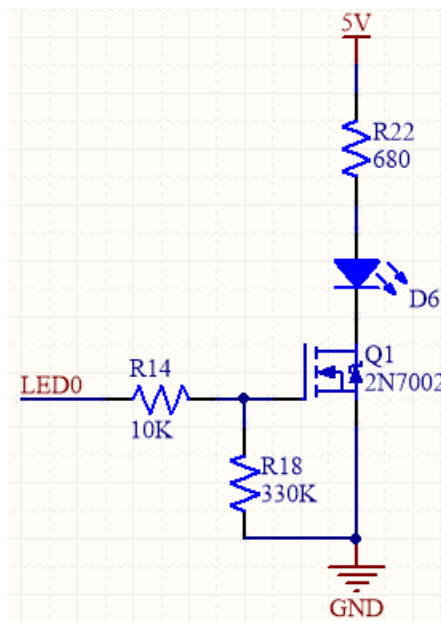


Figura 3.31: Esquemático de Leds indicadores.

La resistencia R14 de  $10\text{ K}\Omega$  en serie con la salida limita la corriente en caso de un cortocircuito entre los terminales Gate y Source del MOSFET, además en funcionamiento normal se limita la velocidad de conmutación del MOSFET, pues este solo entra en conducción cuando la capacidad entre Gate y Source  $C_{GS}$  está cargada, la resistencia limita la rapidez de esta carga, por lo tanto limita la velocidad de conmutación. La resistencia R18 de  $330\text{ K}\Omega$  es una resistencia de pull-down que descarga  $C_{GS}$  cuando el dispositivo no está en funcionamiento (al mismo tiempo disminuye de forma poca significativa el tiempo de apagado del MOSFET).

Cuando Q1 está en conducción, la corriente que pasa por el diodo es limitado por la resistencia R22 de  $680\ \Omega$ , obviando la resistencia de encendido de Q1,  $R_{sON}$ , que es de al

menos dos ordenes por debajo de R22 y considerando la caída directa del diodo  $2 V$ , se tiene la corriente limitada a  $4.4 mA$ .

### 3.10.2. Módulo XBee

XBee es una placa de radiofrecuencia que permite comunicación inalámbrica a través de protocolo serial, el PCB incluye un conector de  $2 mm$  de separación entre pines, su diagrama de conexión se presenta en la figura 3.32.

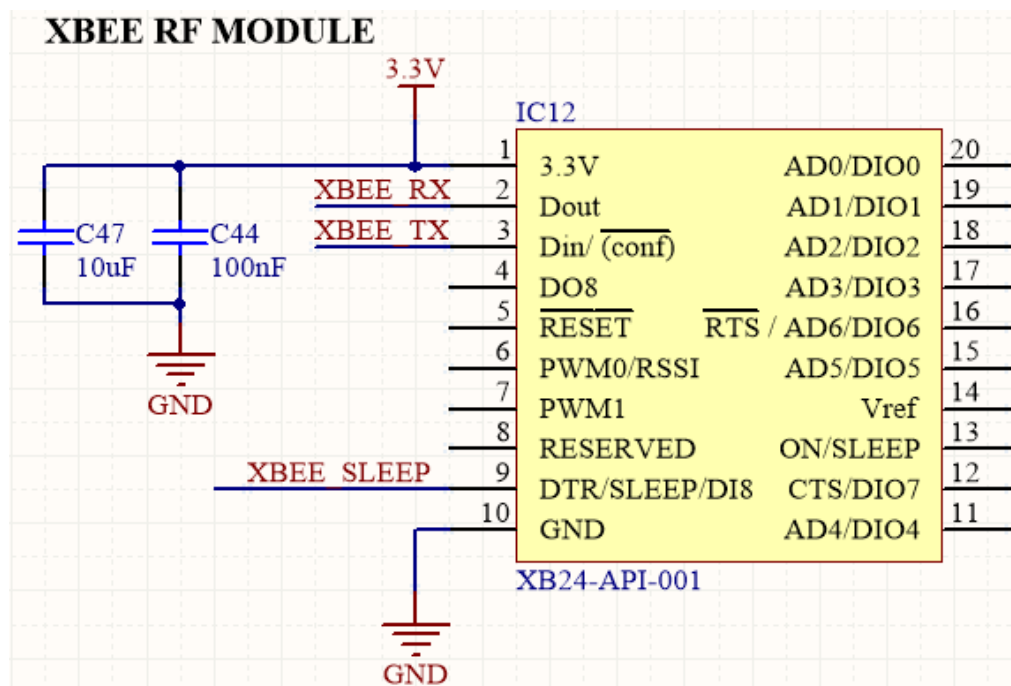


Figura 3.32: Esquemático XBEE XB24-API-001.

Únicamente se han considerado las conexiones de comunicación por puerto serie  $Tx/Rx$  y un pin digital con el que el microcontrolador pueda poner al XBee en modo de bajo consumo (Sleep). Opera a  $2.4 GHz$ .

### 3.10.3. Módulo GPS

El módulo GPS es un módulo EM-506, en el PCB sólo se incluye el conector para este dispositivo. La información de ubicación se da por puerto serie. Su diagrama de conexión se muestra en la figura 3.33.

Si bien este módulo se alimenta de  $5 V$ , la salida de su puerto  $Tx$  es de nivel  $3.3 V$ , el cual es compatible con el microcontrolador sin ningún acondicionamiento. Opera a  $1.575 GHz$ .

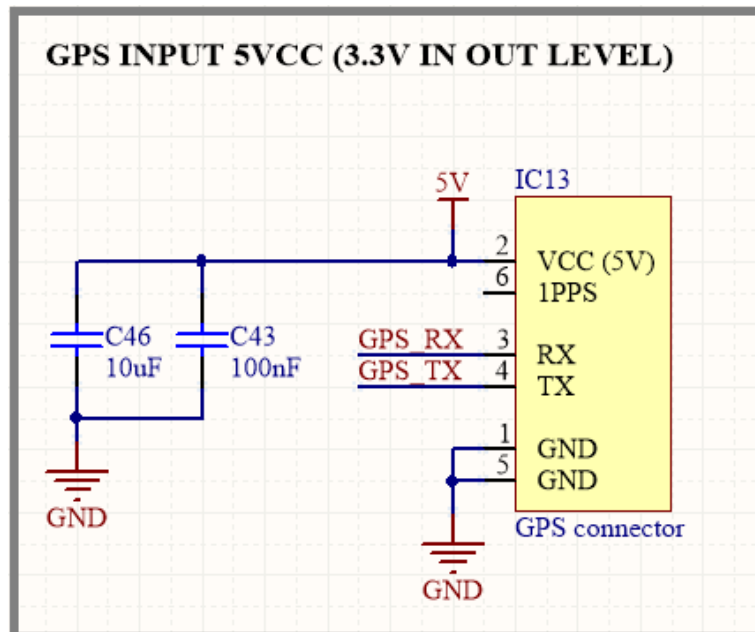


Figura 3.33: Esquemático GPS EM 506.

### 3.10.4. Sensor de Corriente

Los sensores de corriente deben ser acondicionados para que su resolución esté acorde con los niveles de corriente que acotan el consumo del dispositivo que se mide. El consumo depende de muchos factores, número de servos que se deben mover, el torque que estos desarrollen, número de amplificadores de RF, etc.

Se decidió no incluir un medidor de corriente ya configurado para una resolución y rango específico porque se desconoce el consumo final de corriente de los actuadores que se controlarán. Se consideró dejar un conector que provee alimentación de  $5\text{ V}$ ,  $GND$  y entrada para cualquier sensor de corriente analógico.

Como se muestra en la figura 3.34, la entrada del sensor pasa por un divisor resistivo, cuyo punto medio debe ser llevado a un máximo de los  $3.3\text{ V}$  de trabajo de microcontrolador (se puede cambiar  $R53$  a cualquier valor para lograrlo), un filtro pasabajos  $RC$  y finalmente un buffer basado en el amplificador operacional LM324. Se eligió este operacional por su disponibilidad en el mercado.

### 3.10.5. Memoria SD

La memoria SD se incorpora a través de un conector SD de montaje superficial. Se eligió el tipo de memoria SD de tamaño standard, la cual puede ser llevada al tipo Micro-SD con un adaptador. El protocolo de comunicación es SPI con tres pines que trabajan con  $3.3\text{ V}$ , nuevamente no se requiere ningún traductor de nivel.

El conector es un 3M SD series, e incorpora pines de protección contra escritura y



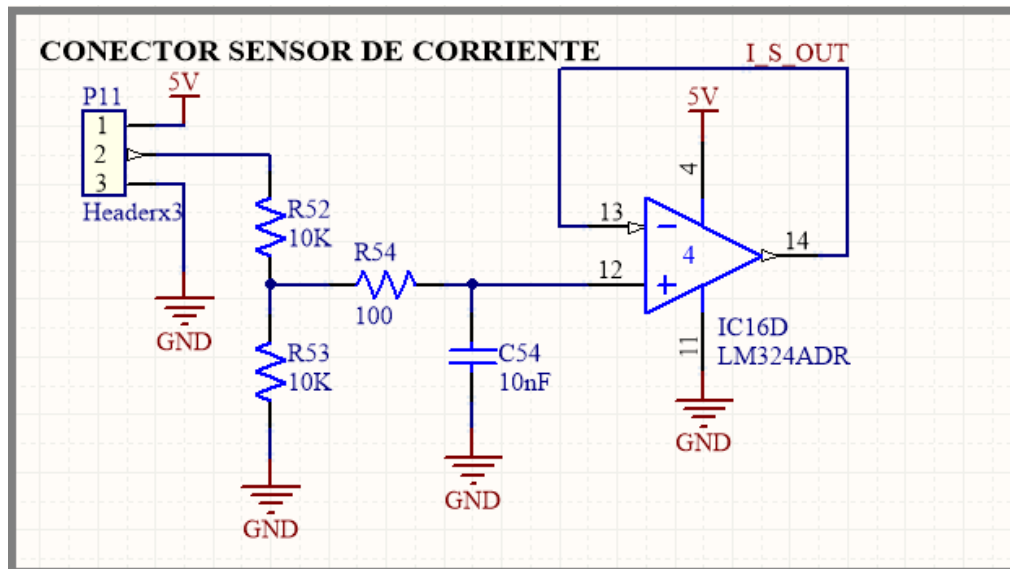


Figura 3.34: Sensor de Corriente.

detección de la inserción de la memoria SD (WP y CD respectivamente), los cuales son ruteados a puertos digitales del microcontrolador usando una resistencia de pull-up por cada puerto. El esquemático de conexión de la memoria se muestra en la figura 3.35.

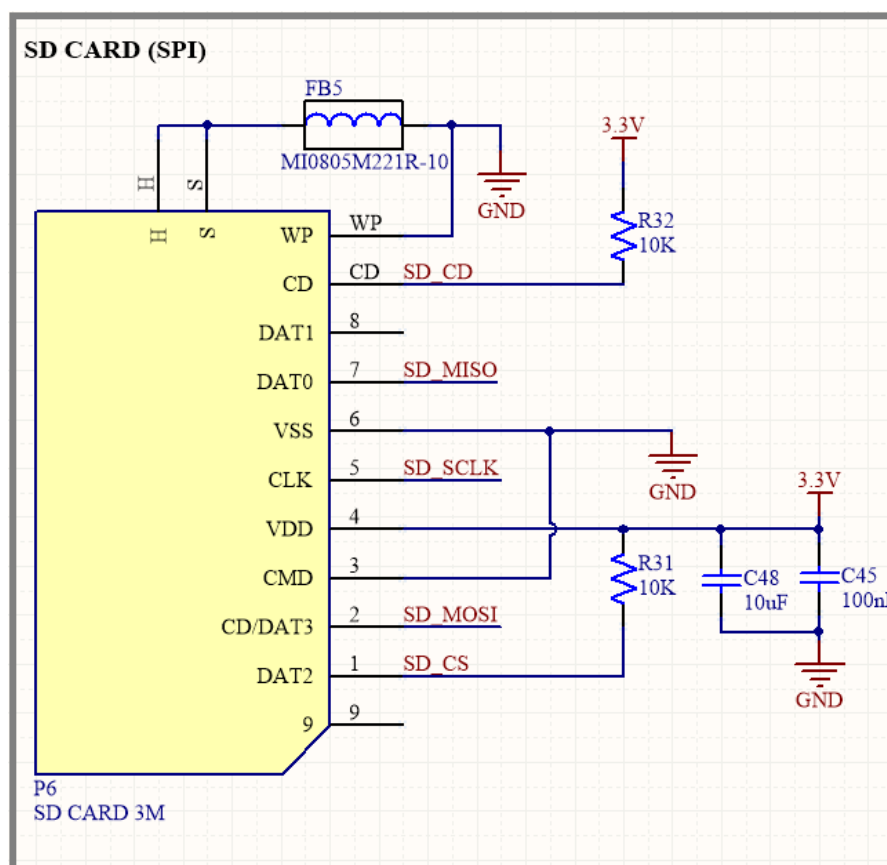


Figura 3.35: Memoria SD.

### 3.10.6. Sensor de presión diferencial

Para medir la presión diferencial se usa un sensor MPXV7002. Según su hoja de datos, este sensor se alimenta de 5 V, y tiene como salida una tensión referenciada a GND que tiene como máximo valor 4.5 V de acuerdo a la diferencia de presión entre las dos tomas. Además tiene un offset de voltaje de 2.5 V, de esta forma el sensor puede detectar presiones positivas o negativas respecto de una de las tomas de aire.

Para este diseño solo se consideran presiones positivas, por este motivo se acondicionará la señal de salida del sensor para que esta sea transformada a un valor digital con mayor resolución. El esquemático se muestra en la figura 3.36.

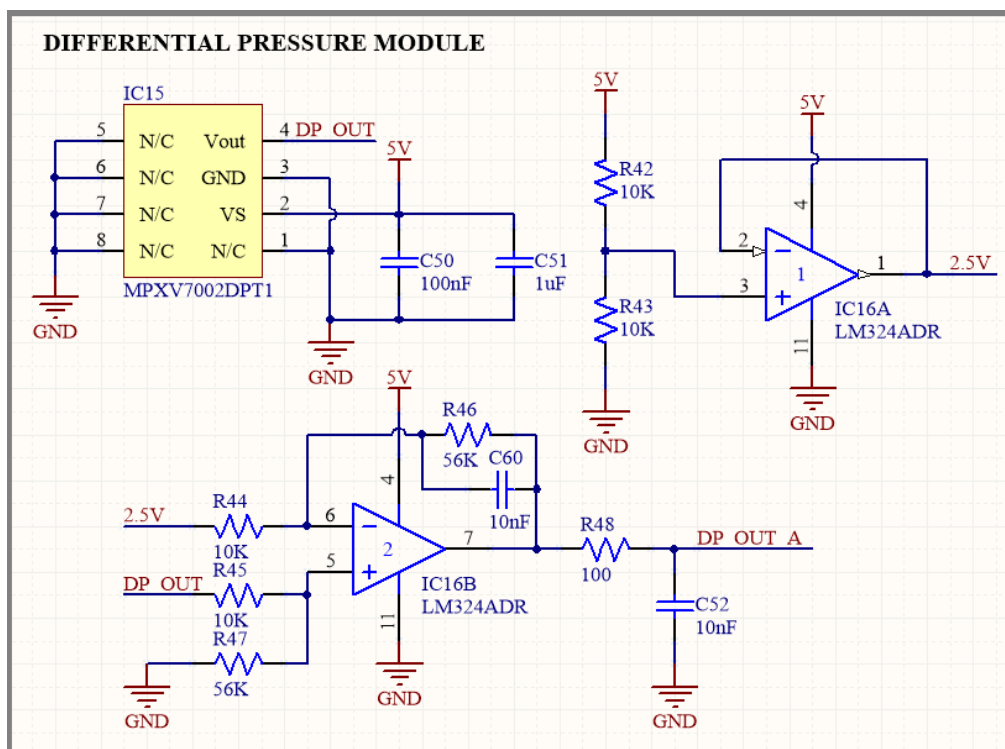


Figura 3.36: Sensor de Presión Diferencial.

Con dos amplificadores operacionales del LM324 se realiza el acondicionamiento de señal, uno se utiliza en configuración resta (IC16 B de la figura 3.36) y otro como buffer para el divisor resistivo que define el voltaje de offset que se restará (IC16 A de la figura 3.36).

Las resistencias  $R46$  y  $R47$ ,  $R44$  y  $R45$  definen la ganancia ( $G$ ) de la señal resta a la salida de IC16B según la ecuación 3.14.

$$G = \frac{R46}{R44} = \frac{R56}{R45} \quad (3.14)$$

Esta ganancia lleva la máxima salida esperada (más un margen de seguridad) a 3.3 V,

que es la máxima tensión de entrada que soporta el puerto ADC asignado a adquirir esta señal.

### 3.10.7. Sensor de voltaje de batería

Consiste en un circuito que con divisor de tensión y un amplificador operacional configurado como buffer sensa la tensión de la batería:

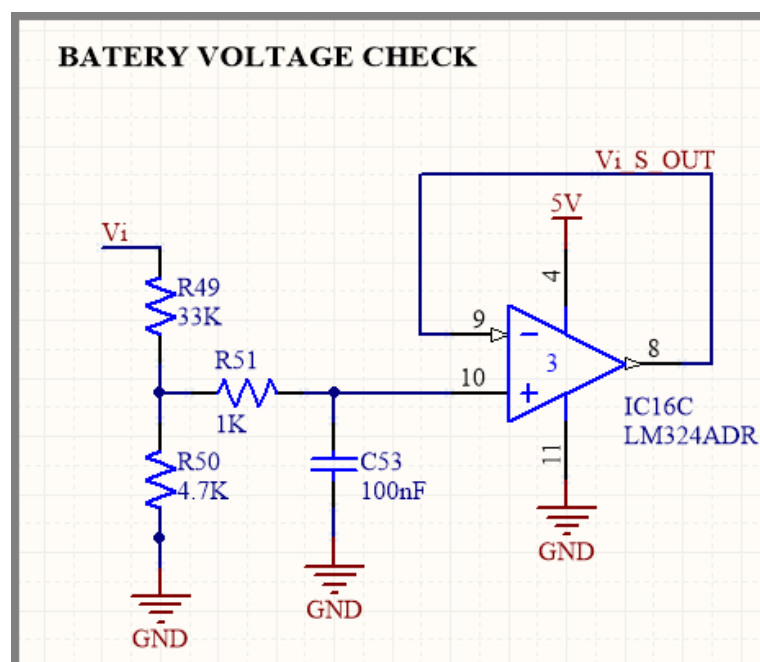


Figura 3.37: Sensor de Voltaje de Batería.

El divisor resistivo, definido por  $R_{49}$  y  $R_{50}$  puede ser modificado alterando el valor de estas resistencias de tal forma que se cumpla la siguiente condición.

$$V_i \times \frac{R_{50}}{R_{49} + R_{50}} < 3.3 \text{ V} \quad (3.15)$$

Donde  $V_i$  es la tensión que alimenta el PCB (entrada al regulador SMPS).

Los valores de  $R_{49}$  y  $R_{50}$  que se muestran en la figura 3.37 fueron elegidos para una máxima tensión  $V_i(MAX) = 24 \text{ V}$ , de tal forma que la salida correspondiente del amplificador operacional es  $2.99 \text{ V}$ . Entre el divisor y el buffer hay un filtro pasabajos R-C con frecuencia de corte de  $1.6 \text{ KHz}$ , el cual filtra ruido y limita en banda el amplificador operacional.

### 3.11. Debugger

La placa diseñada no incorpora un debugger, por tratarse de una placa de uso final, pero si incluye un puerto de conexión de 10 pines para un adaptador JTAG, el cual consiste en un conector de montaje superficial de 2 filas por 5 columnas con espaciado («pitch») vertical y horizontal de 1.27 mm.

Las señales que se emplean para programar y/o depurar el microcontrolador son TMS, TCK, TDO, TDI y RESET. Todas estas señales son conectadas de acuerdo al conector estandarizado de 10 pines como indica la figura 3.38.

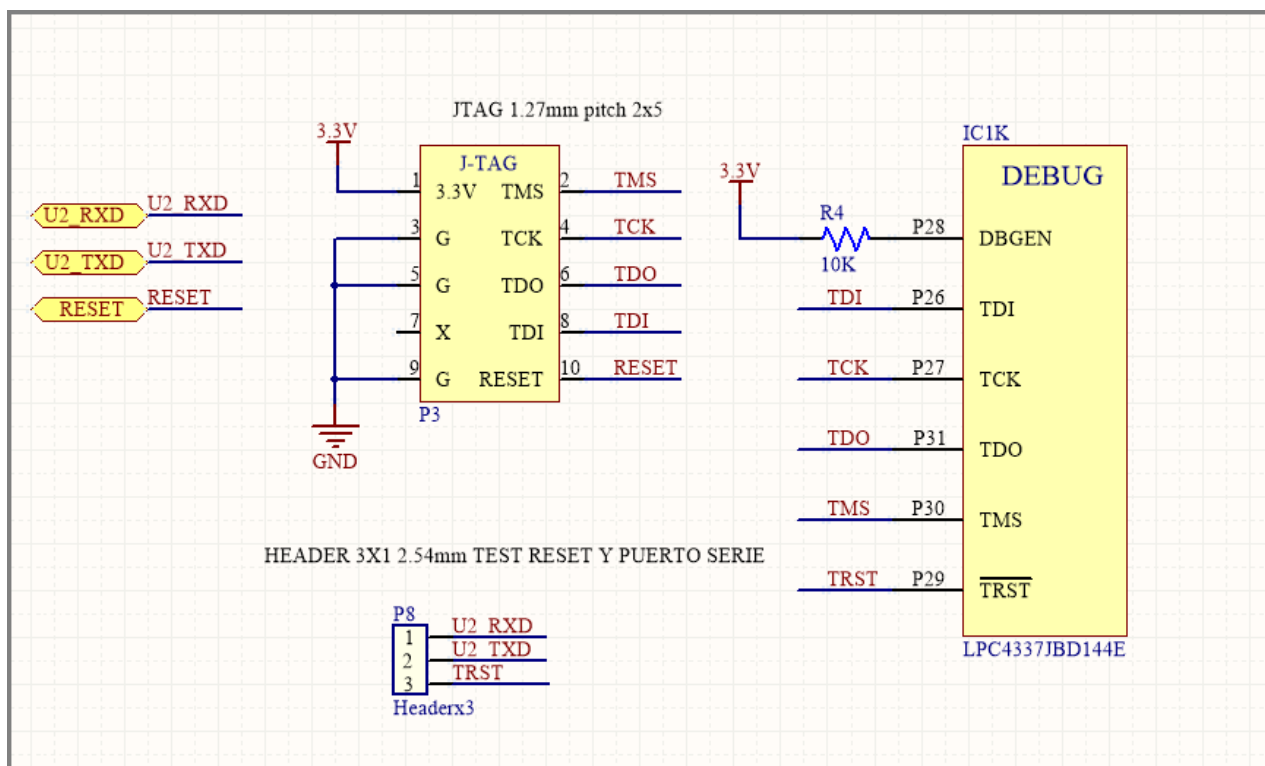


Figura 3.38: Esquemático del puerto de Debug.

### 3.12. Diseño de un Debugger basado en FT2232H

Para comprobar el funcionamiento del puerto JTAG mostrado en la figura 3.38, se diseñó una placa externa que realiza el mismo circuito de debugger JTAG que la EDU-CIAA. El esquemático se puede observar en la figura 3.39.

El integrado FT2232H contiene dos puertos de comunicación USB a varios otros protocolos (ambos puertos independientes). En particular se usa el puerto A configurado como conversor USB-Puerto Serie (RS2232) y el puerto B como MPSSE (del inglés, Multi-Protocol Synchronous Serial Engine), el cual se puede configurar como SPI, I2C y JTAG.

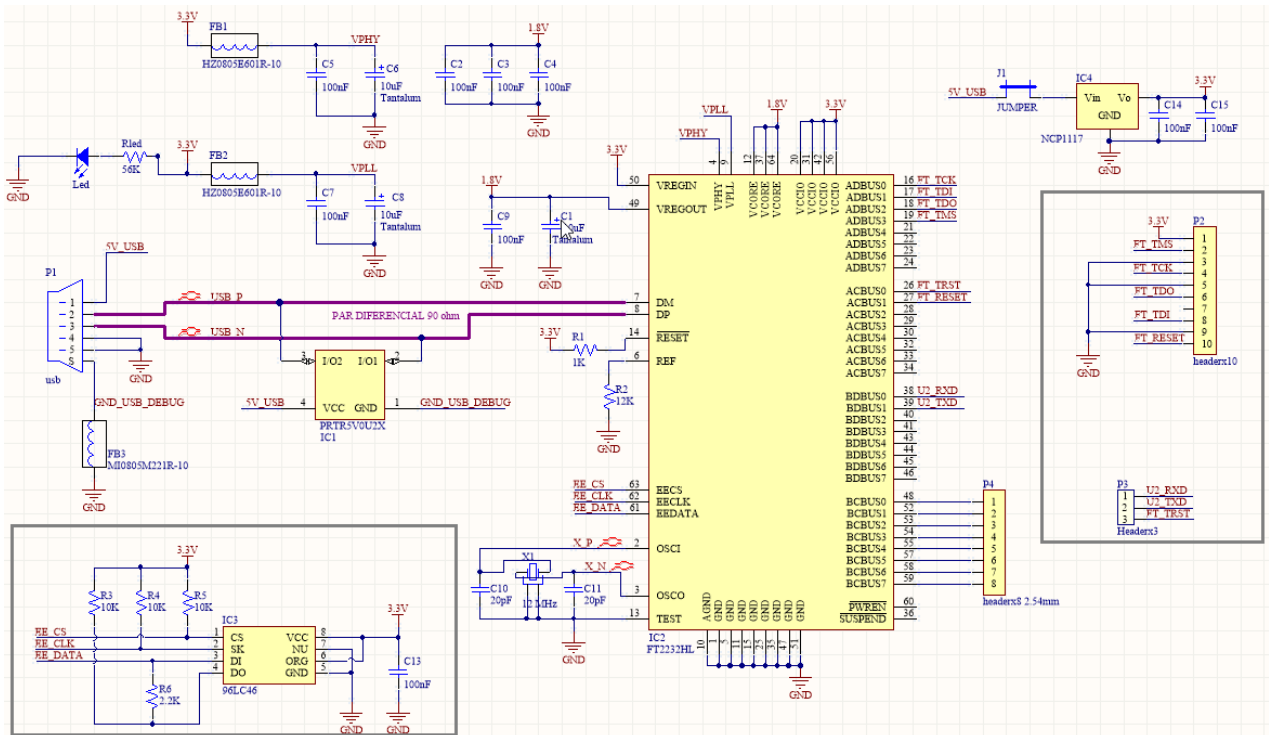


Figura 3.39: Esquemático del debugger externo.

En la figura 3.39 se muestra las conexiones de las señales JTAG al integrado respetando la hoja de datos y el circuito modelo provisto en esta.

Un detalle importante es que la configuración del FT2232 se guarda en la EEPROM 96L46, la cual se conecta por SPI.

La conexión a la PC que realiza la depuración (debug) es realizada por un puerto USB mini, este puede proveer tensión o no al debugger y al target siempre y cuando el jumper J1 este conectado. Adicionalmente al debugger en la PC aparecerá un puerto serie que puede ser conectado al PCB por un conector de 2.54 mm de pitch.

El clock de este sistema utiliza un cristal de 12 MHz y tanto las señales del reloj, como la señal diferencial del puerto USB fueron ruteadas con pares diferenciales generados automáticamente con Altium Designer. Para el caso del puerto USB, que tiene una frecuencia de hasta 480 MHz en configuración de alta velocidad, se requiere que los terminales USB-P y USB-N tengan una impedancia de 90 Ω. Por esto se configura con Altium designer la impedancia deseada que se calcula con los parámetros del PCB (se detalla esto más adelante).

El oscilador de 12 MHz requiere que las dimensiones de la pista no superen un décimo de su longitud de onda (Regla de diseño), entonces siempre que las pistas no superen  $C/(12 \times 10^6 \times 10) = 2.5 m$  no se tendrá la necesidad de controlar la impedancia, aún así se procurará que las pistas tengan la misma longitud, razón por la cual también se configura como par diferencial.



La implementación de esta placa se verá en el capítulo 4.

# Capítulo 4

## Diseño de PCB de 4 capas

Para reducir el tamaño del PCB se necesita aumentar la densidad de componentes, por ello se decidió hacer el PCB de 4 capas en lugar de 2. Las 4 capas, nombradas en correcto orden son:

- TOP (Capa Superior).
- GND (Plano de GND).
- SIG-PWR (Plano interno de señales y alimentación).
- BOT (Capa inferior).

Otra ventaja de usar 4 capas es el mejor aislamiento entre las señales que van por las capas TOP y BOT, pues existe un plano de GND entre ellas.

### 4.1. Esquemático a PCB

El proceso de creación del PCB implica acomodar la huella de cada componente en la localización que uno desea, una vez se haya logrado una disposición que se considere adecuada se va a proceso de ruteo. Rutear es crear pistas de cobre que conectan los pads de los diversos componentes.

Cada componente tiene una huella que está asociada al respectivo esquemático. Altium permite, una vez creado el esquemático, generar a partir de este una plantilla de PCB.

La plantilla de PCB consiste en un formateo de PCB vacío todas las huellas correspondientes a cada componente agrupadas por sub-esquemático sin conexionado. Todas estas huellas tienen un indicador de conexión llamado «ratline». Un ratline es una línea recta que une dos pines, la línea indica que debe haber una pista de cobre que conecte

ambos pines. Hasta que no se haya creado una pista que efectúe la conexión, el ratalline no desaparece.

## 4.2. Biblioteca de Huellas

Las huellas que se usan para desarrollar el PCB en general son provistas en la biblioteca standard de Altium, sin embargo existen muchos componentes que no cuentan con esta. El proceso de selección de la biblioteca de huellas es fundamental, pues no solo permite que un componente encaje perfectamente en la huella, también implica que el componente se pueda soldar con el método que se haya determinado para este proceso.

Se buscó que las huellas sean lo suficientemente grandes para que se pueda soldar cómodamente con una estación de soldado estándar. Para este efecto se tomó como referencia la norma IPC-2221A, tomando siempre las recomendaciones catalogadas como «Low Density» o Baja Densidad, que presenta pads y agujeros más grandes.

## 4.3. Stack Up

El Stack Up (apilamiento de capas de PCB), es definido por el fabricante, el que fue proporcionado para la implementación de este trabajo se muestra en la figura 4.1.

—、 PCB DESCRIPTION:4 LAYER PCB 1.6mm±0.1mm 1oz




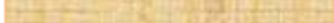



	Copper	1	35 um		
	Dielectric	1-2	0.175 mm (e.g. 1x Prepreg 7628 AT05 47% Resin)	TG130	dielectric constant 4.29
	Copper	2	35 um		
	Dielectric	2-3	1.13 mm (6x 7628M 43% Resin)	TG150	dielectric constant 3.96
	Copper	3	35 um		
	Dielectric	3-4	0.175 mm (e.g. 1x Prepreg 7628 AT05 47% Resin)	TG130	dielectric constant 4.29
	Copper	4	35 um		

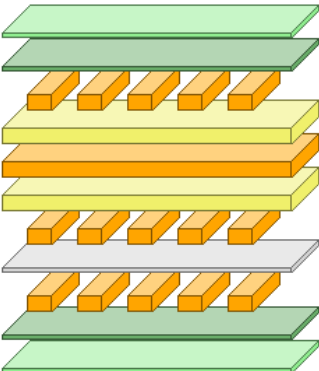
Figura 4.1: Stack Up del fabricante.

Con esta información se debe configuró el Stack Up de Altium como se muestra en la figura 4.2.

## 4.4. Reglas de Diseño

Para asegurar la robustez en el diseño, se optaron por seguir varias reglas de diseño orientadas a prevenir problemas de compatibilidad electromagnética. Estas reglas son:





Layer Name	Type	Material	Thickness (mm)	Dielectric Material	Dielectric Constant	Pullback (mm)
Top Overlay	Overlay					
Top Solder	Solder Mask/...	Surface Mat...	0.01016	Solder Resist	3.5	
TOP	Signal	Copper	0.035			
Dielectric 1	Dielectric	Core	0.175	FR-4	4.29	
GND	Internal Plane	Copper	0.035			0.508
Dielectric 4	Dielectric	Core	1.13		3.96	
POWER	Signal	Copper	0.035			
Dielectric 3	Dielectric	Prepreg	0.175		4.29	
BOT	Signal	Copper	0.035			
Bottom Solder	Solder Mask/...	Surface Mat...	0.01016	Solder Resist	3.5	
Bottom Over...	Overlay					

Figura 4.2: Stack Up en Altium.

- Reducción de loops de GND.
- Caminos de baja inductancia para señales de alta frecuencia.
- Reducción de crosstalk (capacitivo e inductivo).
- Óptimo ruteo de capacitores de desacoplo.

#### 4.4.1. Reducción de loops de GND

Todos los puertos, por más que sean de tensión, son fuentes o sumideros de corrientes. Dichas corrientes tienen uno o varios caminos de retorno a su fuente dependiendo de la frecuencia de la señal de corriente. Si se trata de una señal de baja frecuencia (orden de los  $KHz$  o menor) cualquier camino conductor sirve de camino de retorno, por otro lado, si es de alta frecuencia (orden de los  $MHz$  o mayor) el camino de retorno es el camino de menor inductancia).

Un loop de corriente o GND loop es causado cuando una señal tiene más de un camino de retorno (varios caminos de baja resistencia en baja frecuencia o varios caminos de baja inductancia en alta frecuencia). Este camino de retorno está siempre apuntando a un punto de potencial de referencia, el cual es GND.

El terminal GND o plano de masa es la referencia de tensión (se considera que esta referencia de tensión es de  $0 V$ ). Si el plano de masa es de material conductor perfecto (conductancia infinita e inductancia nula), entonces todos los circuitos conectados a este plano de masa tienen exactamente la misma referencia sin importar el lugar en que se conecten al plano de GND ni la corriente de retorno que le corresponde. Esta situación se muestra en la figura 4.3.

En la práctica esto no se cumple. La conexión a un plano de masa puede ser modelada con una red  $R - L$  (Resistencia-Inductor), de esta forma si la fuente de corriente y la carga

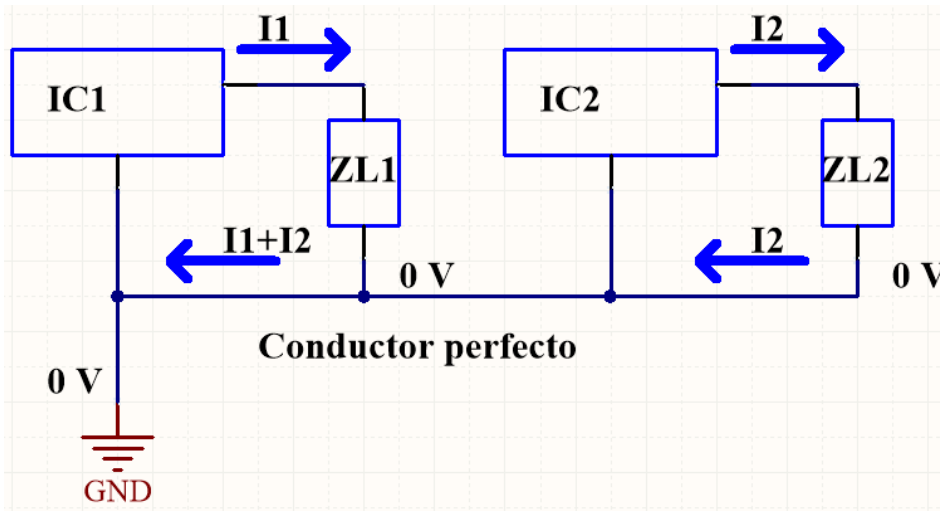


Figura 4.3: Conexión con plano de masa perfecto.

están conectadas en puntos distintos del plano de masa, a través de distintas redes  $RL$  por las que pasan distintas corrientes, estos puntos pueden estar a una diferencia de tensión determinada por la corriente de retorno de su red o la de otro circuito que pasa por el mismo nodo.

Por ejemplo, en la figura 4.4 se muestra el caso en que la fuente y la carga están a diferentes referencias debido al camino que toma su respectiva corriente  $I_1$ . Se debe observar que la corriente parte de la fuente  $IC_1$  hacia la carga  $Z_{L1}$  y luego puede tomar dos caminos, el camino que pasa por  $L_{g1} - R_{g1} - GND_2$  y el que pasa por  $L_{g2} - R_{g2} - L_{g3} - R_{g3} - GND_1$ , dividiéndose en  $I_{1B}$  e  $I_{1A}$ , respectivamente.

Si  $Z_A = R_{g2} + R_{g3} + j\omega(L_{g2} + L_{g3})$  y  $Z_B = R_{g1} + j\omega L_{g1}$ , y se tiene que  $I_{1A}$  e  $I_{1B}$  responden a las ecuaciones 4.1 y 4.2, respectivamente.

$$I_{1A} = I_1 \times \left( \frac{Z_B}{Z_A + Z_B} \right) \quad (4.1)$$

$$I_{1B} = I_1 \times \left( \frac{Z_A}{Z_A + Z_B} \right) \quad (4.2)$$

La diferencia de tensión entre las referencias que ven fuente  $IC_1$  y la que ve la carga  $Z_{L1}$  esta dada por la siguiente ecuación.

$$\Delta V_g = V_{g1} - V_{g2} = I_{1A}(R_{g3} + j\omega L_{g3}) - I_{1B}(R_{g1} + j\omega L_{g1}) \quad (4.3)$$

Si bien es cierto esta situación que no se puede evitar, pues todo material conocido tiene una inductancia y una resistencia, sí es posible evitar situaciones que agraven la diferencia de potencial entre referencias, especialmente en circuitos analógicos se alta sensibilidad. Un ejemplo se presenta en la figura 4.5.

Como muestra la figura 4.5, además de los puntos de conexión al plano de masa, existe una red ( $R_g$ - $L_g$ ) que conecta los puntos de referencia. Existen dos posibles caminos para

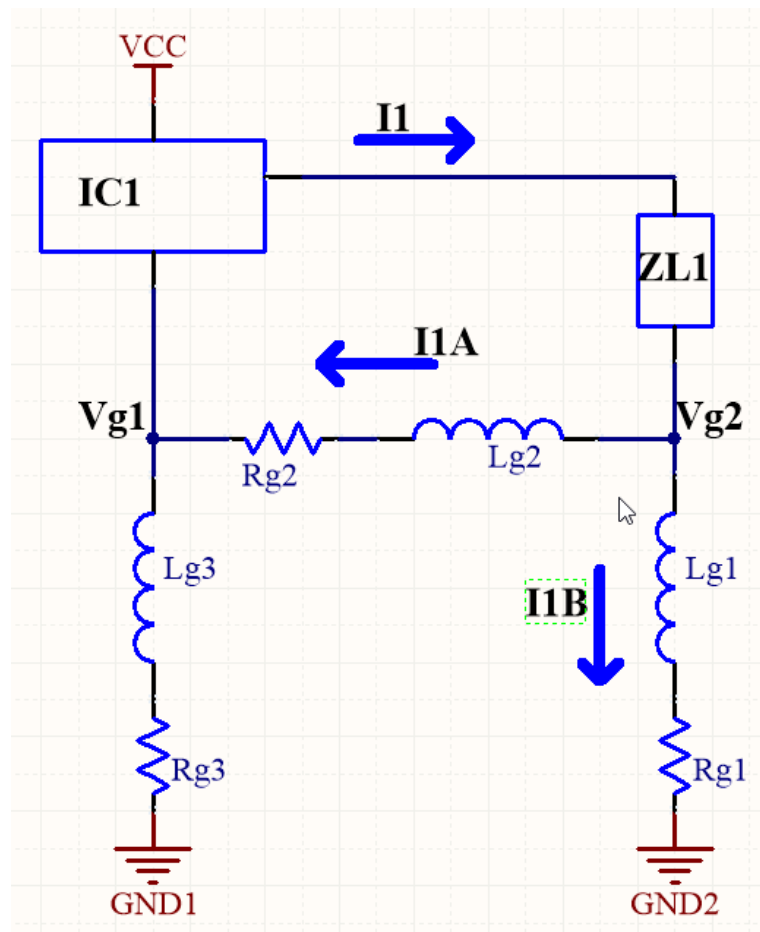


Figura 4.4: Diferencia de potencial entre las referencias GND1 y GND2.

la corriente de retorno, para el caso de IC2, la gran parte de esta corriente irá por el camino de menor resistencia/inductancia ( $R_{g2}$  y  $L_{g2}$ ), una parte se irá por el otro camino ( $R_{g3}$   $L_{g3}$ ). Respectivamente las partes son  $I_{2a}$  e  $I_{2b}$ .

Si el circuito IC2 es un circuito de alta corriente (un orden por encima de la corriente de IC1), el efecto que causa la parte de esta corriente ( $I_2$ ) sobre la referencia de IC1 es importante,  $V_{g2}$  es modulada por  $I_2$ , de esta forma se afecta al circuito IC1 (de menor corriente). Este es el fenómeno atribuido a los loops de GND.

Se deberá tener especial cuidado en unir cada terminal GND de cada integrado al plano de masa, evitando usar pistas que creen caminos alternativos para la corriente de retorno que pasen por las conexiones a GND de otros integrados.

Un ejemplo de aplicación de esta regla se da en la conexión a GND del microcontrolador, para este ruteo se eligió una topología tipo Single Point, que es una forma de rutear los pines GND de cada componente uniendo estos al plano de masa en un único punto. Para conseguir esto, en el diseño de esquemático se debe crear un componente dedicado para este fin (componente marcado como «STAR» mostrado en la figura 4.6).

La figura 4.7 muestra la unión de la masa local al plano de GND.

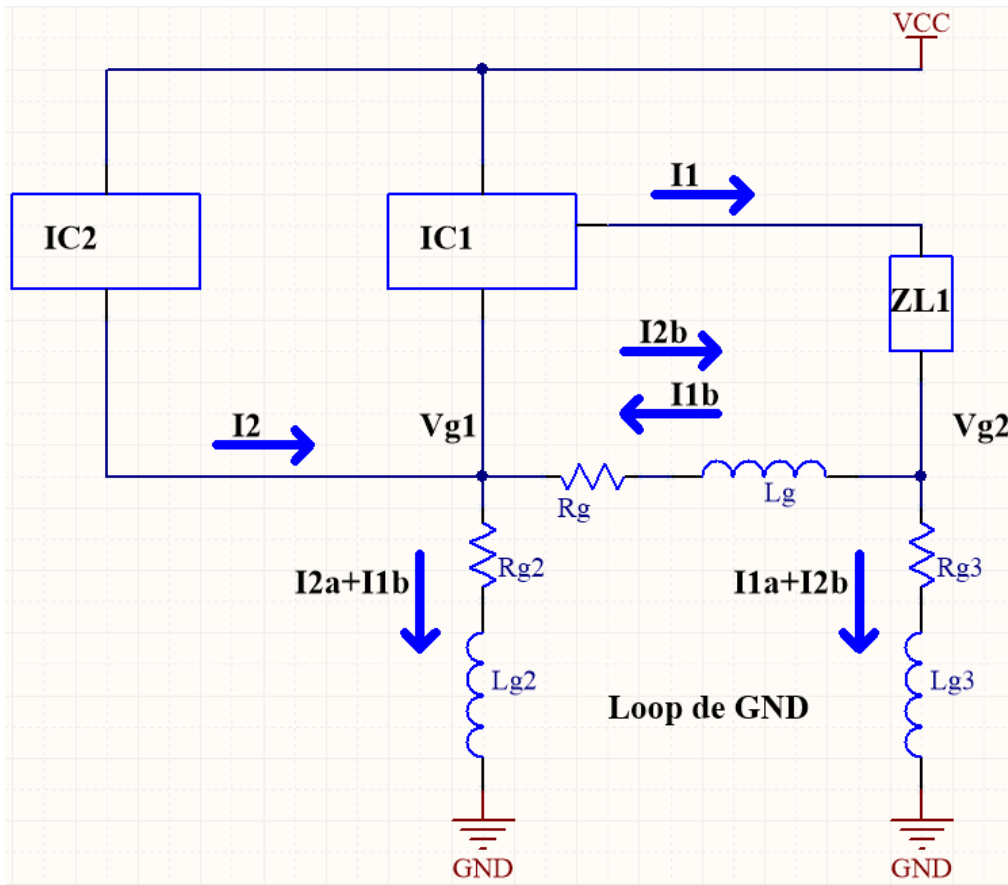


Figura 4.5: Circuito IC2 e IC1 conectados a GND



Figura 4.6: Esquemático anexo al de la figura 3.36.

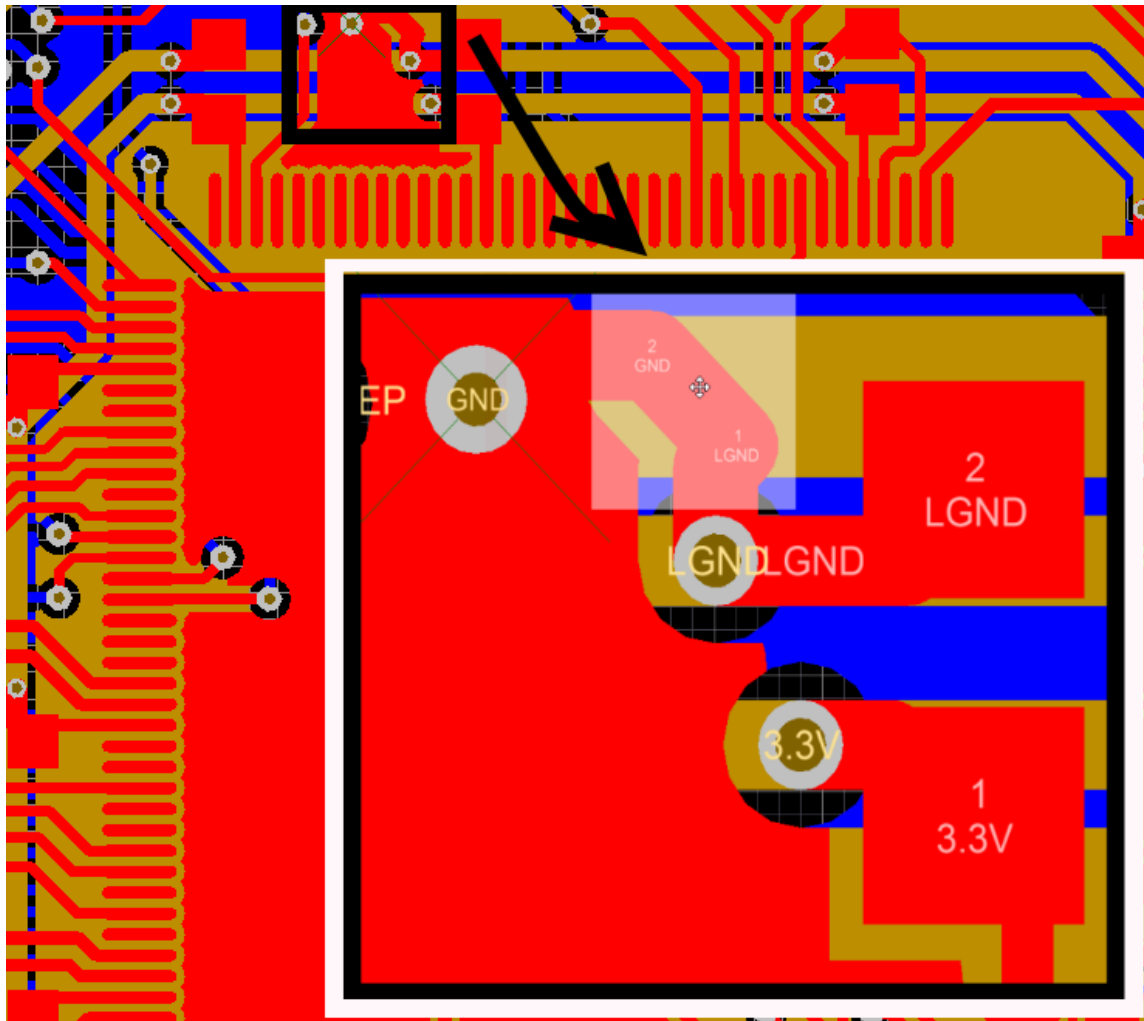


Figura 4.7: Unión de GND local del microcontrolador a plano de masa en un solo punto.

#### 4.4.2. Caminos de baja inductancia para señales de alta frecuencia

En las señales de alta frecuencia (mayores a  $100\text{ KHz}$ ) las corrientes de retorno toman el camino de menor inductancia, si una pista lleva una una señal de alta frecuencia y bajo esta hay un plano de masa, la densidad de corriente de retorno (por el plano de masa) se distribuye en el plano de masa bajo la pista como se muestra en la figura 4.8.

Como muestra la figura 4.8, la mayor parte de la corriente de retorno en el plano de masa se concentra bajo la pista que lleva la señal, entonces este camino se trata del camino de menor inductancia. A medida que se aumente la frecuencia de la señal mayor sera la concentración justo debajo de la pista que transporta la señal en relación los alrededores.

Si por algún motivo el plano de masa no es continuo en el camino de la corriente de retorno, se altera el camino de menor inductancia en la corriente de retorno. Dependiendo de la intensidad de la corriente y el tamaño de la discontinuidad (o abertura en el plano de masa) se generará un loop de corriente que causará irradiaciones, que a su vez causan EMI. Esta situación es representada en la figura 4.9.

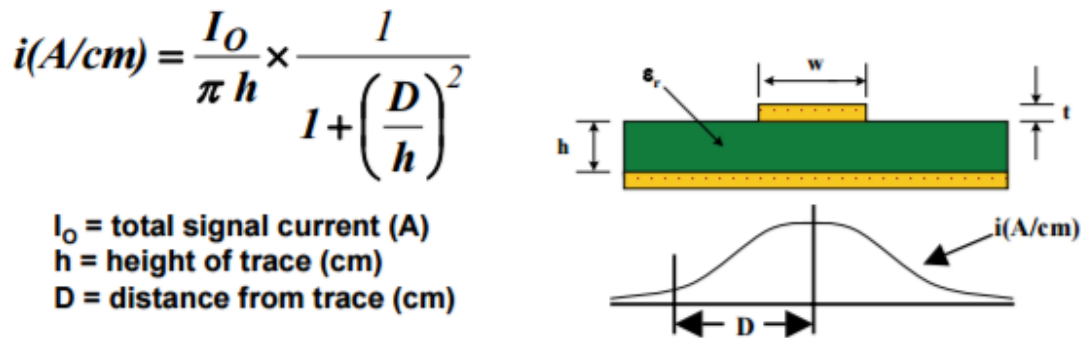


Figura 4.8: Distribución de corriente de retorno.

**Nota.** Fuente: Texas Instruments *High Speed PCB Layout Techniques* (p. 5).

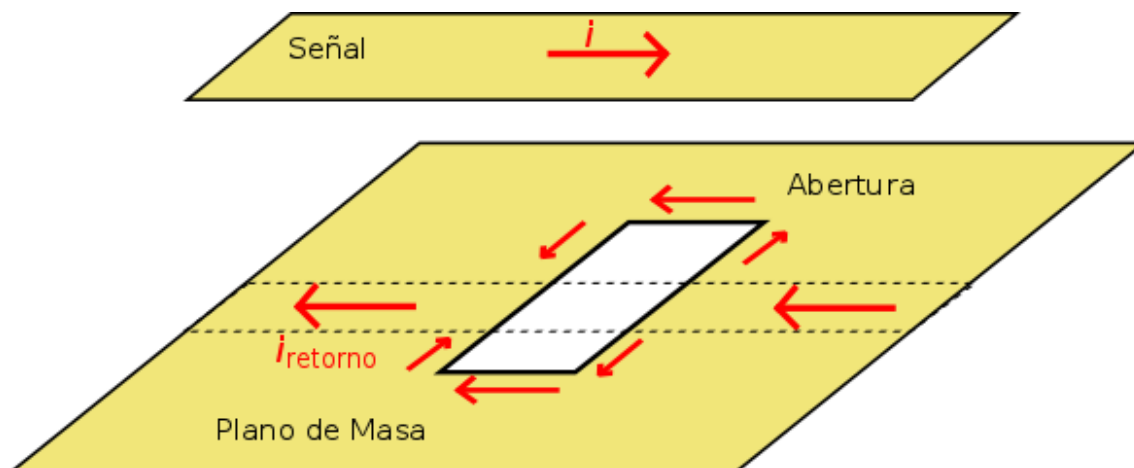


Figura 4.9: Abertura en el plano de masa debajo de una pista portadora de señal.

Como regla general en el diseño del PCB se evitarán aberturas en el plano de masa justo bajo las pistas que portan señales de alta frecuencia. Un ejemplo de aplicación específica de esta regla se muestra en la figura 4.11.

Como se muestra en el plano de masa de la figura 4.10, se procuró que este sea continuo bajo las pistas de las señales X1\_N y X1\_P (Par diferencial que conecta el cristal de 12 MHz al microcontrolador). Se debe tener cuidado cuando se define la localización de las vías de alimentación y masa en las inmediaciones, no se deben crear aberturas en el plano de masa bajo las pistas que portan estas señales.

#### 4.4.3. Crosstalk

Crosstalk es la alteración causada por el campo eléctrico o magnético de una señal que afecta una señal adyacente .

El crosstalk es principalmente un fenómeno de campo cercano, dependiendo de la ubi-



Figura 4.10: Plano de masa continuo sobre las pistas de alta frecuencia del oscilador a cristal.

cación relativa de las pistas «fuente» y «víctima». Se puede analizar este fenómeno principalmente como [10]:

- Crosstalk capacitivo (campo eléctrico) (CTC). Producido por voltaje y de naturaleza capacitiva.
- Crosstalk inductivo (campo magnético) (CTI). Producido por corriente y de naturaleza inductiva.

#### 4.4.4. CTC

Como regla general el CTC se produce cuando las pistas son dispuestas una sobre otra en distintos planos. Las señales se acoplan de una pista a la otra a través del capacitor formado por ambas pistas y el material dieléctrico que las separa. Se ilustra este concepto en la figura 4.11.

Como se muestra en la figura 4.11, las dos pistas forman un capacitor parásito que deja pasar señales de alta frecuencia de un lado a otro.



Figura 4.11: CTC.

**Nota.** Fuente: Glen Dash. *Minimizing Ringing and Crosstalk*.

Se sabe que la impedancia de este capacitor debe ser inversamente proporcional a la frecuencia y a la capacidad, es decir minimizar esta capacidad (o la frecuencia) resulta en la reducción del CTC.

Si bien es cierto que el diseño cuenta con un plano de masa intermedio entre cualquier señal de la capa TOP, existen señales entre el plano BOTTOM y SIG.PWR que están propensas a este tipo de acoplamiento. Como regla general de diseño, para estos dos planos, se buscará minimizar el área de solapamiento entre las pistas de señales de alta velocidad (digitales en general), disminuyendo de esta forma la capacidad y por lo tanto el CTC.

A modo de ejemplo, se presenta en la figura 4.12 la distribución de pistas del PCB en que se ve esta regla aplicada. En la figura 4.13, las pistas azules corresponden al

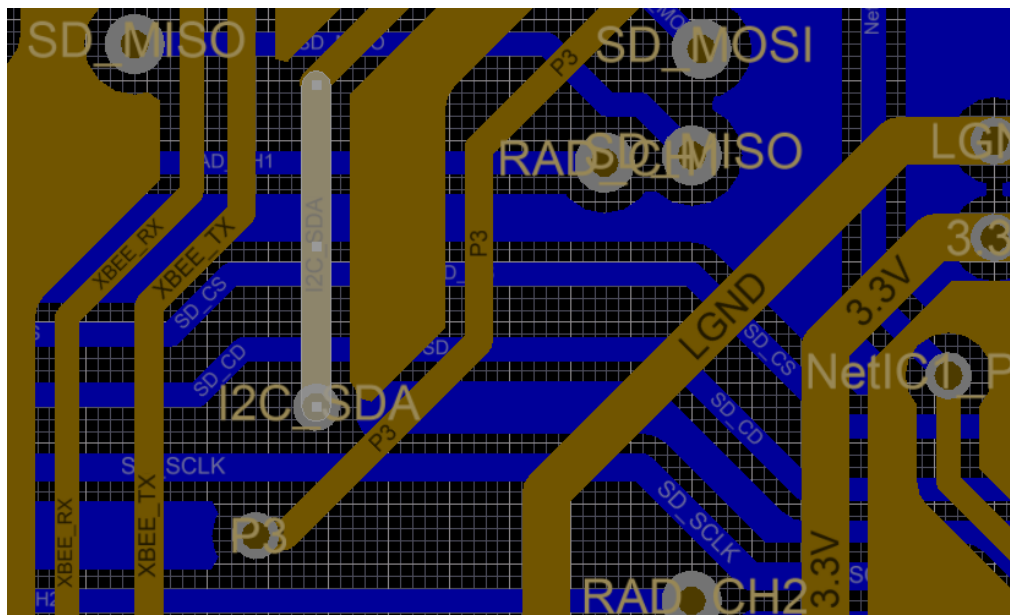


Figura 4.12: Minimización de área solapada entre pistas.

plano BOTTOM, mientras que el las amarillas al plano SIG.PWR. Se puede comprobar que pistas que traen señales digitales en ambos planos son dispuestas de tal forma que el área de solapamiento es mínima. Por ejemplo, se puede verificar en esta misma figura el caso de las pistas rotuladas como «XBEE\_TX» y «XBEE\_RX» en el plano SIG.PWR, que



solapan con las pistas rotuladas «SD\_CLK», «SD\_CD», «SD\_CS» en el plano BOTTOM en un área reducida.

## CTI

En este tipo de crosstalk las señales se acoplan entre pistas en el mismo plano, la forma en que se acopla la señal es mostrada en la figura 4.13. La imagen muestra como dadas dos pistas en el mismo plano, dispuestas de forma paralela y separadas por una distancia determinada, forman un transformador. En este sentido, una pista por la que pasa corriente se comporta como un bobinado primario que induce una corriente a la otra pista como si esta fuera un bobinado secundario.

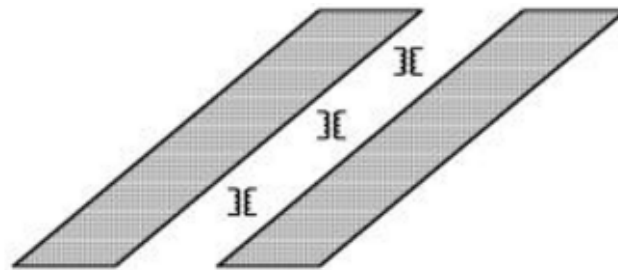


Figura 4.13: CTI.

**Nota.** Fuente: Glen Dash. *Minimizing Ringing and Crosstalk*.

La figura 4.14 muestra el comportamiento del CTI. El circuito tiene una víctima y una fuente. Se puede pensar que en la fuente hay una corriente que se desplaza de izquierda a derecha de la salida del primer inversor a la entrada del segundo.

En la pista víctima dos corrientes son inducidas: una que se desplaza hacia  $R_2$  y otra hacia  $R_1$ . Tanto  $R_1$  como  $R_2$  son las impedancias vistas por cada corriente, no importa si son una carga resistiva o la impedancia de salida de algún circuito digital.

Es importante observar los dos gráficos de las tensiones desarrolladas en ambas impedancias, como se puede ver en la parte inferior de la figura 4.14, la forma con mayor intensidad y contenido de frecuencias es la señal causada por la corriente que se desplaza hacia  $R_1$  ( $V_{R1}$ ).

El grado de CTI es determinado por tres factores dimensionales:

- Distancia total en que ambas pistas son paralelas ( $d1$ ).
- Distancia perpendicular entre el borde de ambas pistas ( $d2$ ).
- Distancia de las pistas al plano de masa ( $d3$ ).

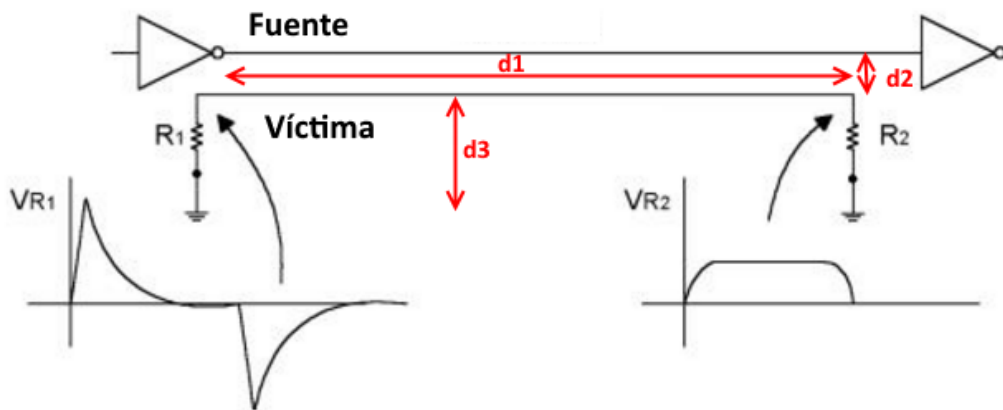


Figura 4.14: Pista fuente y pista víctima de CTI.

**Nota.** Fuente: Glen Dash. *Minimizing Ringing and Crosstalk*.

Además de los factores dimensionales, se debe tomar en cuenta el contenido de frecuencia de la señal, el cual no es determinado del todo por la frecuencia de la señal misma. Lo que determina el contenido de frecuencias de una señal es su tiempo de crecimiento (del inglés Rise Time), mientras este sea menor, mayor será el contenido de frecuencia de la señal.

Para aminorar los efectos de CTI se puede variar cualquiera de los tres factores dimensionales que se mencionaron, aunque aquel cuya manipulación presenta el mejor resultado (mayor reducción de CTI) es la distancia entre pistas sobre el mismo plano.

En la tabla 4.1 se presenta el CTI medido en  $mV$  para dos pistas por las que pasan señales de comunicación JTAG. Este caso particular trata a la señal TCK como fuente y a TDI como víctima. La frecuencia de estas señales es de  $50 MHz$  y el tiempo de crecimiento de  $1 ns$  [11].

En la tabla 4.1, se muestra la relación entre la separación de las pistas en milésimas de pulgada ( $mil$ ) y aunque no se brinda una expresión para estimar el CTI en  $mV$  para cualquier espaciado, se puede apreciar que la mayor variación se da durante los primeros  $300 mil$  de separación.

La aplicación de esta regla al PCB diseñado se dió en el planteamiento de una situación de compromiso densidad de pistas - separación entre pistas. Como no existen circuitos de mayor frecuencia que el circuito oscilador a cristal y las conexiones JTAG, se optó por separar las pistas del oscilador y hacer las pistas del conector JTAG lo más cortas posibles colocando el conector a menos de  $1 cm$  del microcontrolador (ver figura 4.15).

Como se puede apreciar en la figura 4.15 se separaron las señales del JTAG a un mínimo de  $25 mil$ . Para otras señales de menor frecuencia y mayor tiempo de crecimiento como las Tx y Rx del puerto serie y SDA y SCL del puerto I2C se estableció una distancia

Crosstalk results for trace separation method

Driver	Receiver	MS1 . Trace Width1 [MIL]	MS1 . spacin g [MIL]	Crosstalk [mv]
RF 6.2	J6 2.1	5	5	316.84
RF 6.2	J6 2.1	5	300	0.91
RF 6.2	J6 2.1	5	600	0.23
RF 6.2	J6 2.1	5	900	0.1
RF 6.2	J6 2.1	5	1500	0.04
RF 6.2	J6 2.1	5	2000	0.02
RF 6.2	J6 2.1	5	2500	0.01

Tabla 4.1: Resultado de CTI para método de separación de pistas.

**Nota.** Fuente: D. Anish & G. Kranthi Kumar & Rohita Jagdale. *Minimization of Crosstalk in High Speed PCB.*

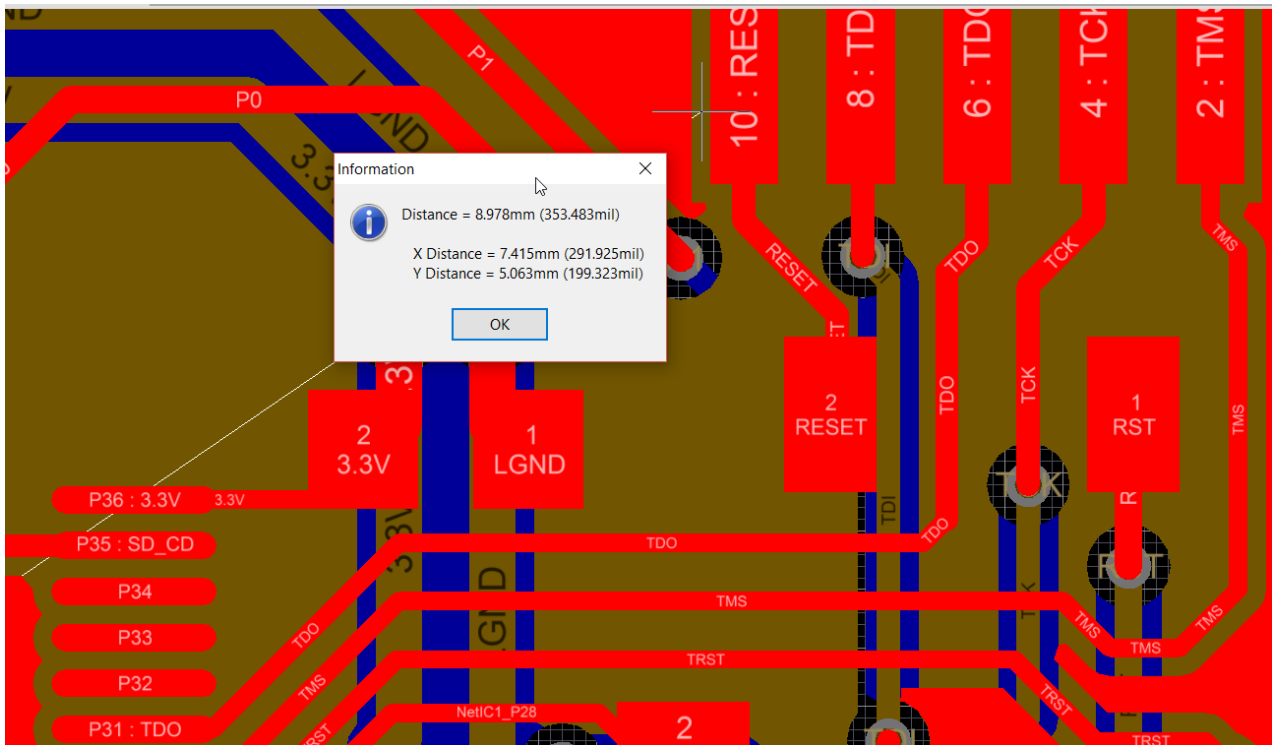


Figura 4.15: Aplicación de regla para disminuir el CTI.

mínima de 20 mil entre pistas.

#### 4.4.5. Ruteo de los capacitores de desacoplo

Para rutear los capacitores de desacoplo, se deben seguir ciertas consideraciones que son coherentes con lo presentado en la sección 3.7.

Como ya se presentó, el capacitor de desacoplo provee la corriente de conmutación que surge en las transiciones de los circuitos digitales, para que cumpla esta función de la mejor forma, este debe estar conectado al respectivo integrado que desacopla en un camino de menor inductancia que la línea de alimentación.

El camino de menor inductancia es conseguido conectando el capacitor lo más cerca posible del integrado, también se consideró poner el capacitor antes de la conexión a la línea de alimentación. La figura 4.16 muestra la forma general en que se ruteó los capacitores de desacoplo.

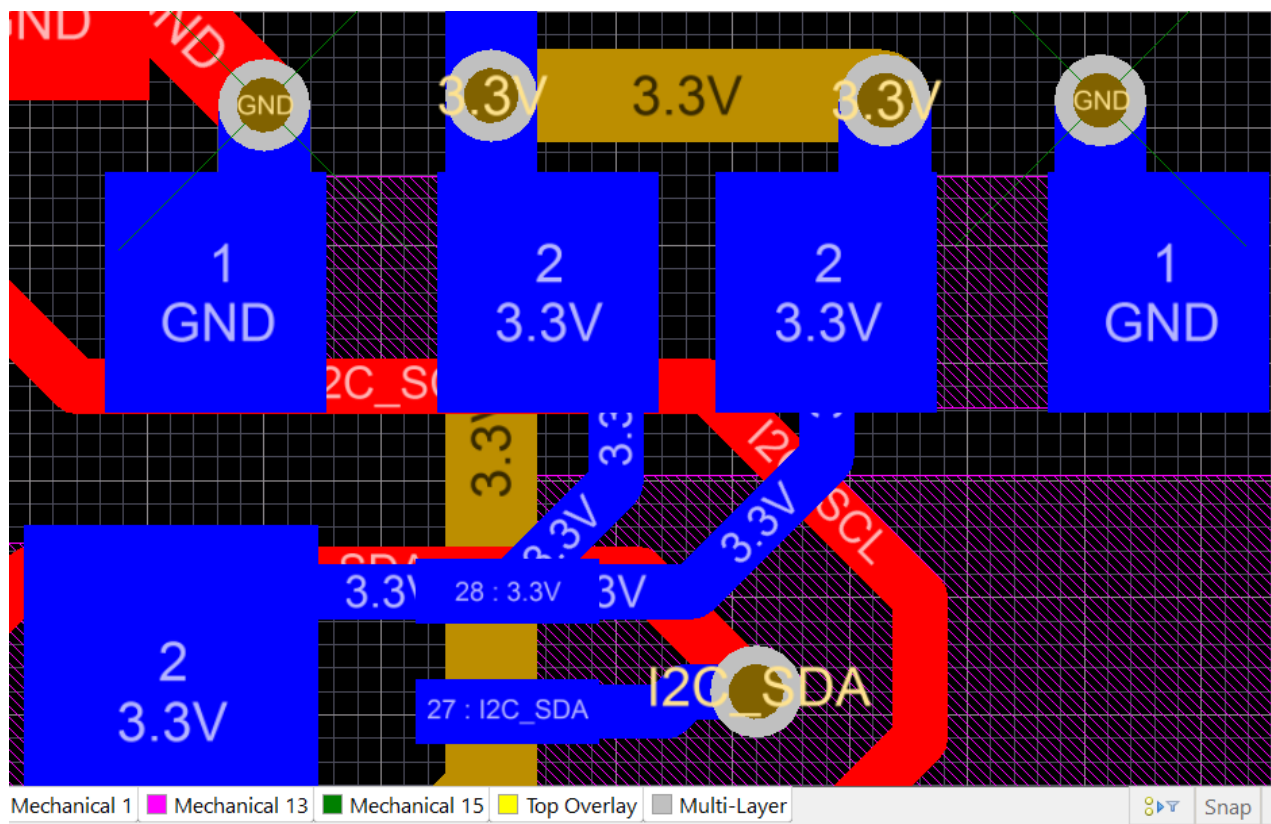


Figura 4.16: Ruteo de los capacitores de desacoplo.



## 4.5. Reglas de fabricación

Cuando se diseña el PCB se deben tener en cuentas las restricciones inherentes al proceso de fabricación, las que se tuvieron en cuenta son:

- Reglas para pistas y perforaciones.
- Reglas para el plano de GND.
- Distancia desde el borde de la placa.

### Reglas para pistas y perforaciones

De acuerdo al fabricante, los tamaños mínimos son los mostrados en la tabla 4.2.

Especificación	Dimensión
Mínimo ancho de pista	0.15 <i>mm</i> 6 <i>mil</i>
Mínimo espacio entre pistas	0.15 <i>mil</i> 6 <i>mil</i>
Mínimo diámetro de perforación	0.3 <i>mm</i>

Tabla 4.2: Especificaciones de fabricación.

Altium tiene como ayuda al diseñador, alertas que avisan cuando se violan determinadas reglas de diseño, como por ejemplo colocar pistas más cerca que el mínimo permitido. Estas reglas se configuraron como se muestra en la figura 4.17.

En la figura 4.17 se muestra la regla correspondiente al espaciado de las pistas, se debe notar que estos fueron considerados para coincidir con las especificaciones mostradas en la tabla 4.2. Para el caso del renglón «Poly», el cual se refiere a la distancia que tiene cualquier polígono de relleno (usado para generar plano de masa alrededor de una zona con pistas) se puso a 0.2 *mm*.

El mismo procedimiento se realizó para el mínimo diámetro de perforación según se visualiza en al figura 4.18.

### Reglas para el Plano de masa

Las conexiones a GND están constituidas por la capa dedicada para GND y por los polígonos de masa creados en las otras capas. Los polígonos (también conocidos como

**Constraints**

Different Nets Only



	Arc	Track	SMD Pad	TH Pad	Via	Fill	Poly
Arc	0.15						
Track	0.15	0.15					
SMD Pad	0.15	0.15	0.15				
TH Pad	0.15	0.15	0.15	0.15			
Via	0.15	0.15	0.15	0.15	0.15		
Fill	0.15	0.15	0.15	0.15	0.15	0.15	
Poly	0.2	0.2	0.2	0.2	0.2	0.2	0.2

Figura 4.17: Configuración de reglas de espaciado entre elementos.

**Constraints**

Measurement Method Absolute

Minimum 0.3mm

Maximum 3mm

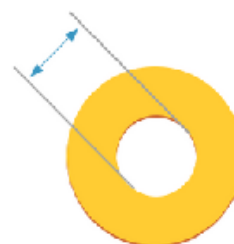


Figura 4.18: Configuración de regla de mínimo diámetro de perforación.

«Copper Pour») son superficies dibujadas sobre una zona llena de pistas que cubren el espacio no ocupado, tienen opción de ser conectados a cualquier línea, por ejemplo GND.

Se definen dos reglas de diseño que afecta la distribución de los planos GND, estas son el tipo de conexión y la distancia mínima entre el relleno del polígono y la pista (como se muestra en las figuras 4.19 y 4.20).

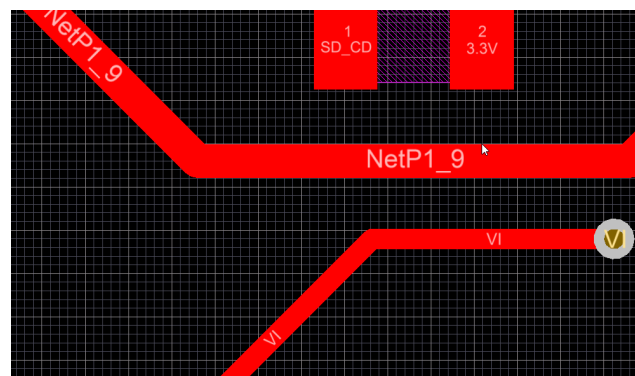


Figura 4.19: Pistas sin polígono a GND.

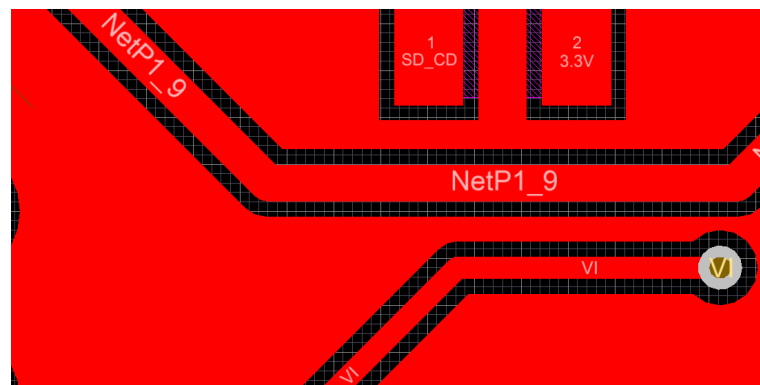


Figura 4.20: Pistas con polígono a GND.

La capa de GND permite que cualquier circuito en la capa superior o inferior pueda conectarse a GND a través de una vía, lo que permite mayor densidad de componentes al no tener que rutear GND por la capa donde va el integrado o componente. La forma en que se conecta esta vía admite dos posibles formas «Direct» (Conexión directa, figura 4.21) y «Relief» (Conexión aliviada, figura 4.22).

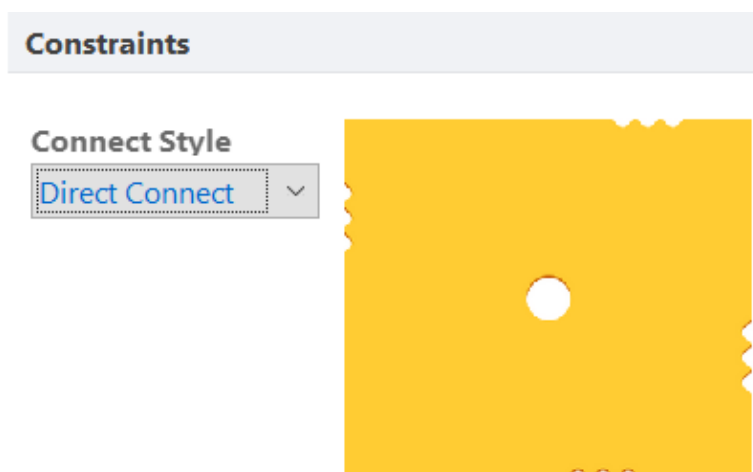


Figura 4.21: Conexión directa de vía a GND.

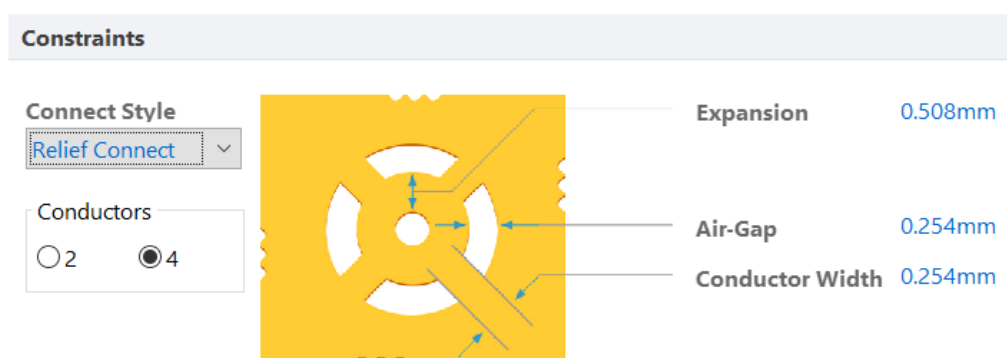


Figura 4.22: Conexión aliviada de vía a GND.

La conexión directa tiene más contacto eléctrico que la aliviada; esta última es usada para facilitar el soldado de cualquier pata o pad que conecta el integrado a GND, esto se justifica por el hecho que al haber menos contacto con el plano de masa (el cual es una superficie metálica grande en relación a cualquier pad), se disipa menos calor y la soldadura puede entrar en fusión más rápido.

Se optó por hacer prevalecer caminos de baja inductancia al plano GND que proporciona la conexión directa sobre la facilidad de soldado que ofrece la conexión aliviada.

Una vez configurado el tipo de contacto se define la segunda regla de interés, que es la distancia que se deja libre entre el polígono, se fijó esta distancia a  $0.5 \text{ mm}$  para dejar un margen de error de  $60\%$  respecto de la distancia mínima entre pistas. Esto puede verse en la figura 4.23.



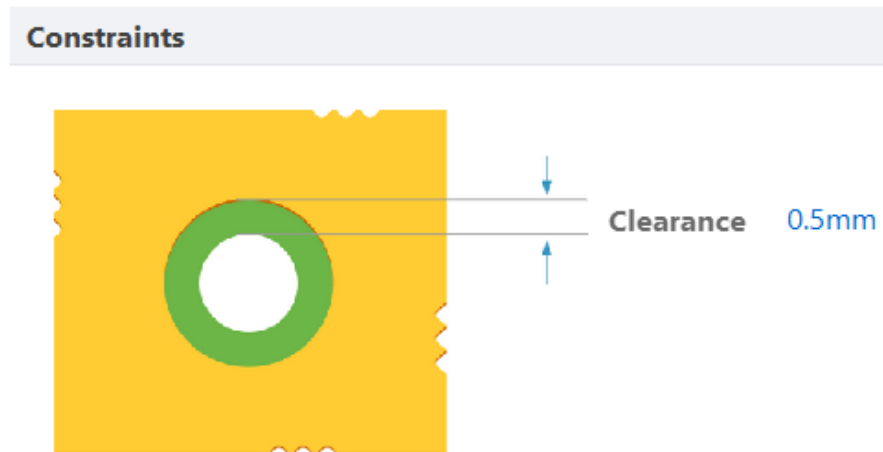


Figura 4.23: Distancia polígonos - pistas/vías.

### Distancia desde el borde de la placa

Para mejorar la EMC de la placa se recurre a otras dos recomendaciones para desarrollo de PCB que implican los polígonos:

- Separación del plano de GND del borde de la placa. La separación de las pistas en un PCB del borde de la placa afecta la medida en que se irradia campo por los bordes [12], por ello se incluye una guarda o zona sin cobre entre el borde de la placa y el comienzo de cualquiera de las cuatro capas, esta distancia se configura a  $0.5\text{ mm}$
- Rodear todo el PCB de GND, de tal forma que todas las pistas que portan señal queden rodeadas. Esta regla aplica a las capas que portan señales (todas menos capa de GND).

Las figuras 4.24 y 4.25 muestran la configuración y aplicación directa de esta regla de diseño.

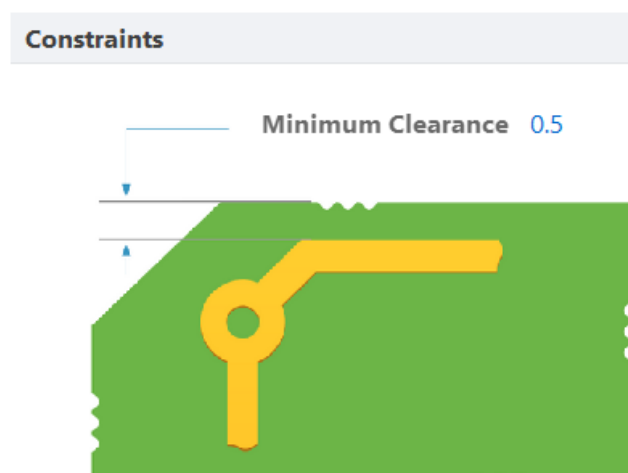


Figura 4.24: Configuración de distancia mínima despejada desde el borde del PCB.

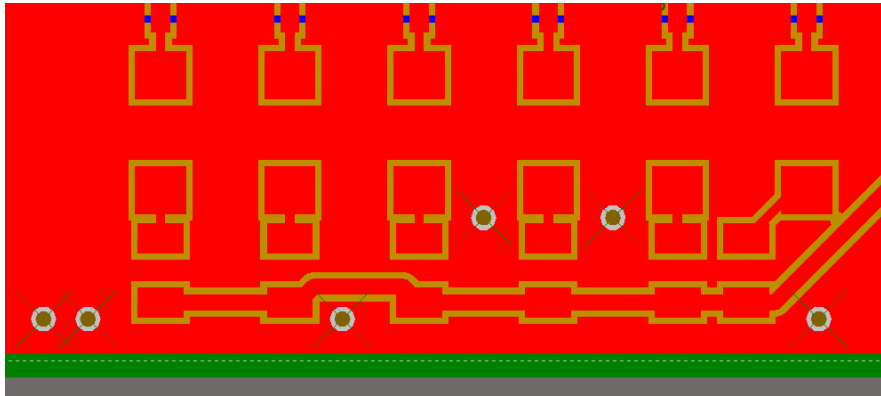


Figura 4.25: Pistas interiores a plano de GND que rodea todo el PCB.

## 4.6. Generación de archivos de fabricación

Para fabricar el PCB, se deben generar archivos GERBER a partir del diseño en el editor de PCB de Altium con el comando «Fabrication Outputs», estos archivos son los que el fabricante usa para producir las placas. Los archivos se generaron con formateo en unidades del sistema internacional (SI) y en resolución de  $0.1 \mu m$ .

Las capas a las que se le genera el archivo GERBER (presentadas en el orden de parte superior a inferior del PCB) son:

- Top-Overlay.
- Top-Soldermask.
- Top-Layer.
- GND-Layer.
- SIGNAL\_PWR-Layer.
- Bottom-Layer.
- Bottom-Soldermask.
- Bottom-Overlay.

## 4.7. Capas

A continuación, en las figuras 4.26-4.29, se muestran las capas que componen el PCB diseñado, estas son: Top, Bottom, GND y Signal.PWR. Estas son el resultado de todo el proceso de desarrollo con las reglas de diseño aplicadas.

### Capa Top

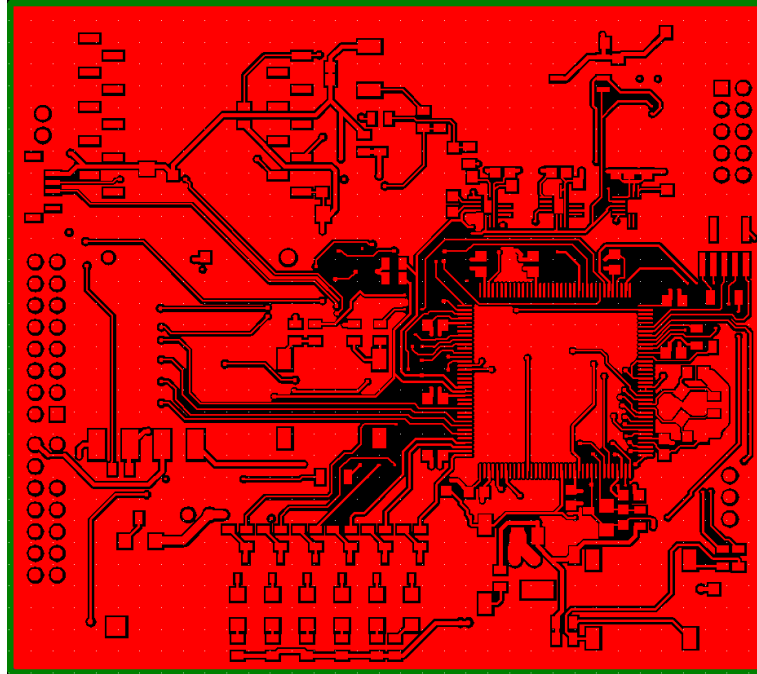


Figura 4.26: GERBER de la capa Top.

### Capa GND

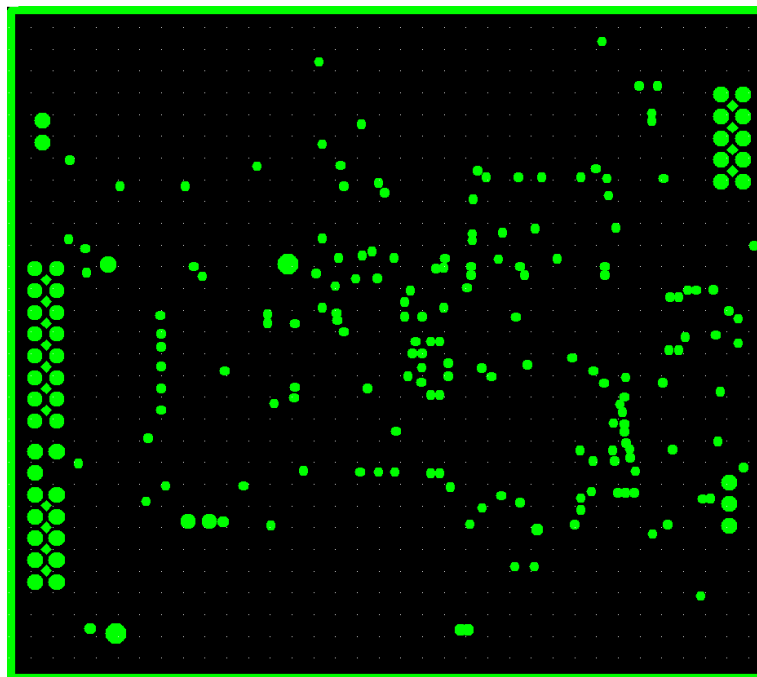


Figura 4.27: GERBER de la capa GND.

### Capa SIGNAL\_PWR

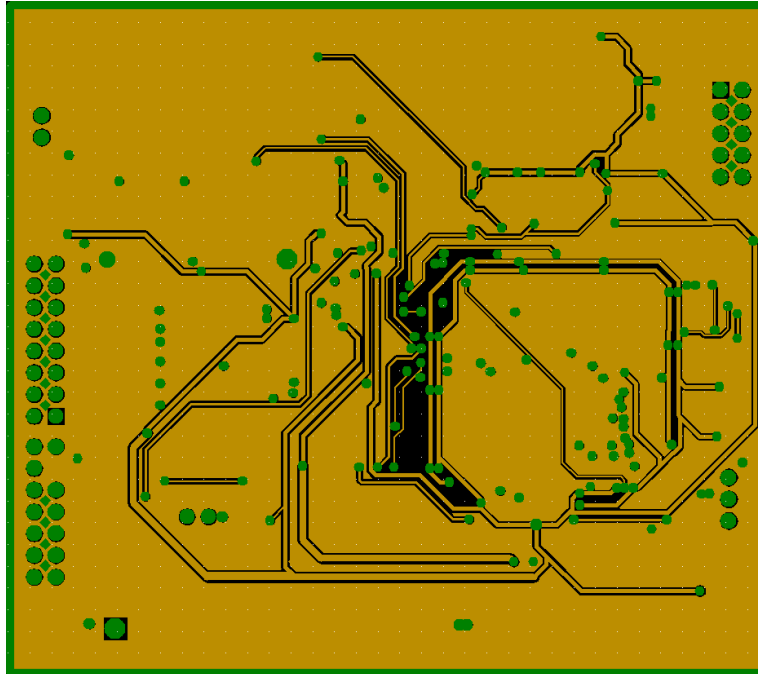


Figura 4.28: GERBER de la capa SIGNAL\_PWR.

### Capa Bottom

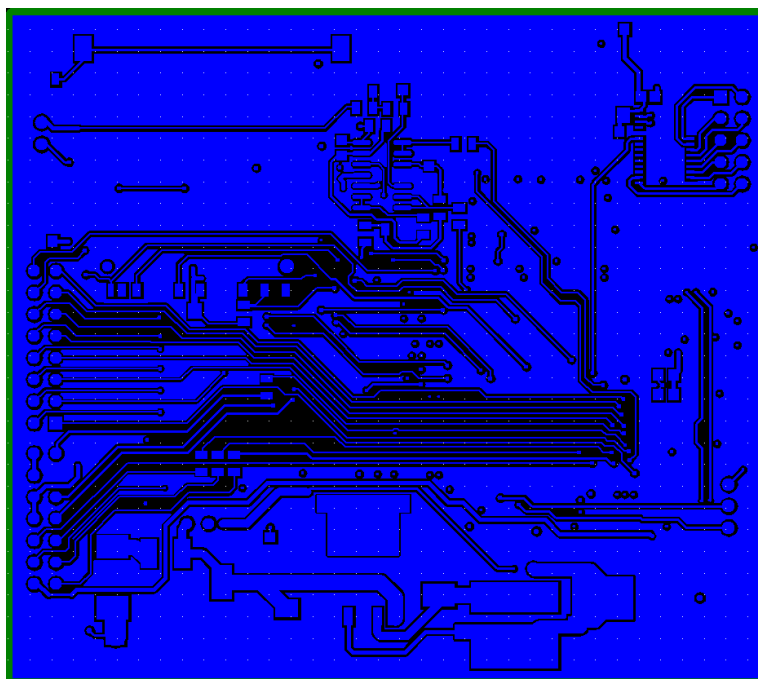


Figura 4.29: GERBER de la capa Bottom.

### Pre-visualización de PCB implementado

Se generó una pre-visualización del PCB diseñado, esto ayuda en gran medida a saber las dimensiones finales del PCB con los componentes soldados. Para generar esta visualización se consiguieron los modelos tridimensionales de cada componente en formato STEP.

El resultado se muestra en las figuras 4.30 y 4.31.

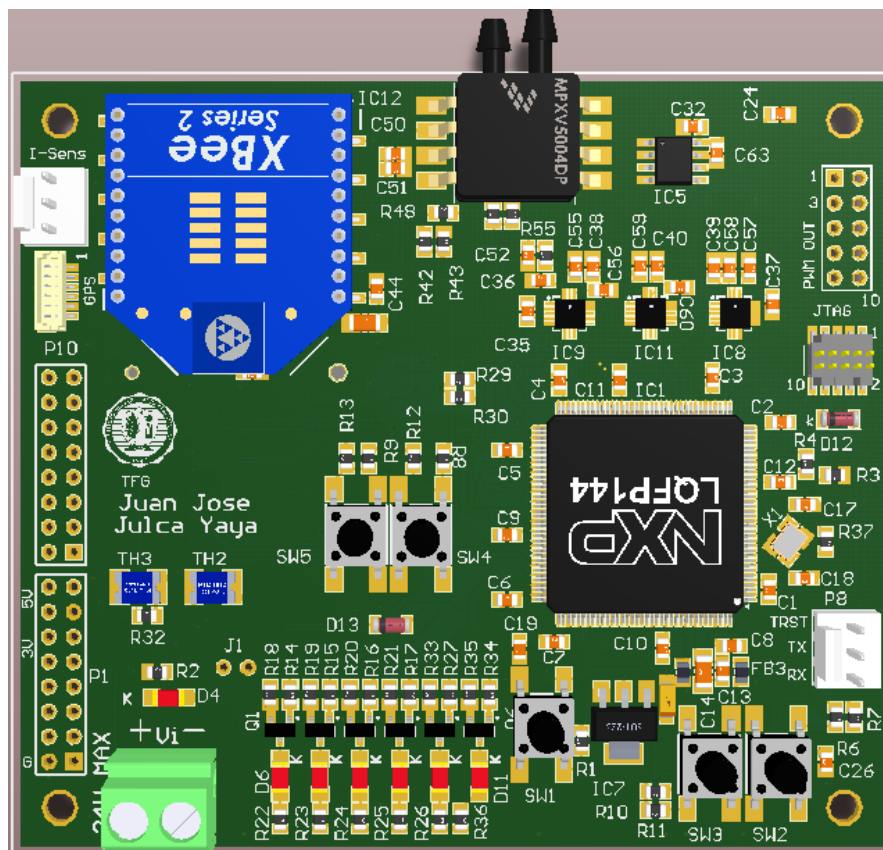


Figura 4.30: Pre-visualización de PCB implementado (vista frontal).

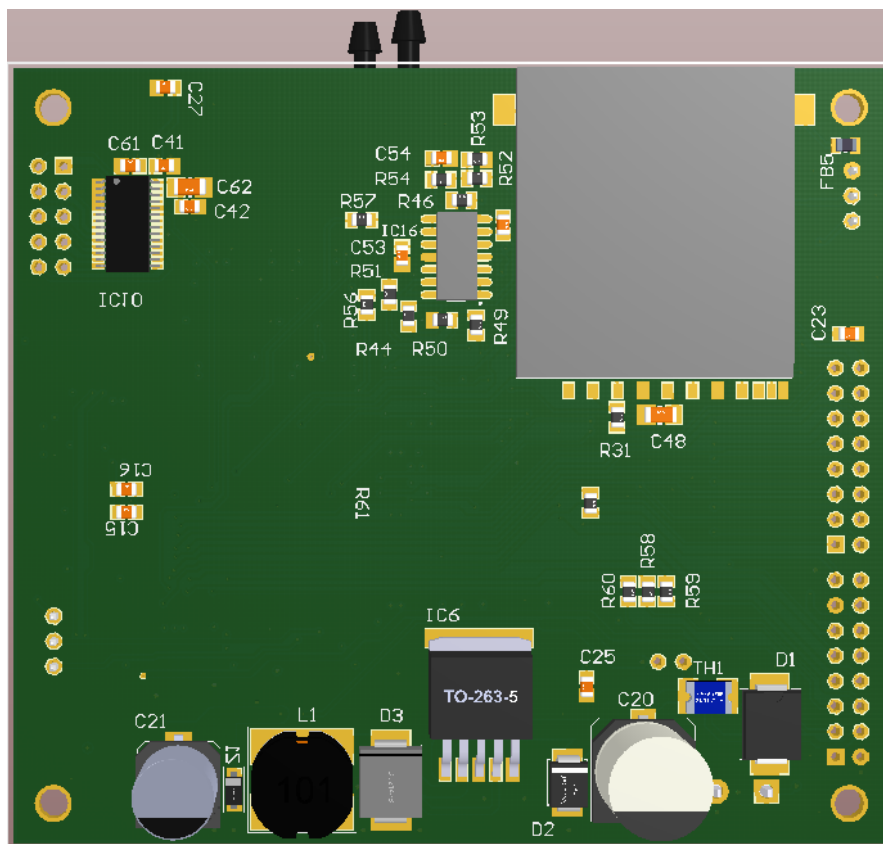


Figura 4.31: Pre-visualización de PCB implementado (vista trasera).

# Capítulo 5

## Simulación de PCB diseñado

Para detectar posibles fuentes de emisión se recurre a un software de simulación de campos electromagnéticos. El software es SIWave.

SIwave es una herramienta especializada en simulación de campos electromagnéticos a la cual hay que cargarle los modelos de la placa PCB. Las siguientes secciones describen el procedimiento para poder simular el campo cercano que se genera alrededor del PCB.

### 5.1. De Altium a SIwave

SIWave requiere que el modelo del PCB se encuentre en un formato compatible y con un número determinado de extensiones, a su vez, Altium puede exportar los modelos del PCB diseñado en varias otras extensiones con formatos configurables.

Las extensiones que pueden ser exportadas por Altium y a su vez son compatibles con SIWave son archivos de tipo «STEP», «DFX», «ODB++». Se probó cada configuración y la que determinó el mejor resultado fue la exportación de archivo ODB++ (figura 5.1).

ODB++ son un formato de archivos de fabricación similares a los GERBER que fueron los requeridos por el fabricante del PCB. Existen ciertas particularidades de ODB++ que lo hacen una buena alternativa frente a los archivos GERBER, las cuales no se discutirán en este trabajo.

Se importará el sistema de archivos generado por el comando «Fabrication Outputs - ODB++ Files» en un proyecto de SIWave según se muestra en la figura 5.3. Una vez importado el archivo se tendrá acceso a toda la geometría, se resalta que la importación dibuja tanto las pistas de cobre como el plano de GND y las vías que atraviesan todas las capas. Se muestra la vista del modelo importado en la figura 5.4.

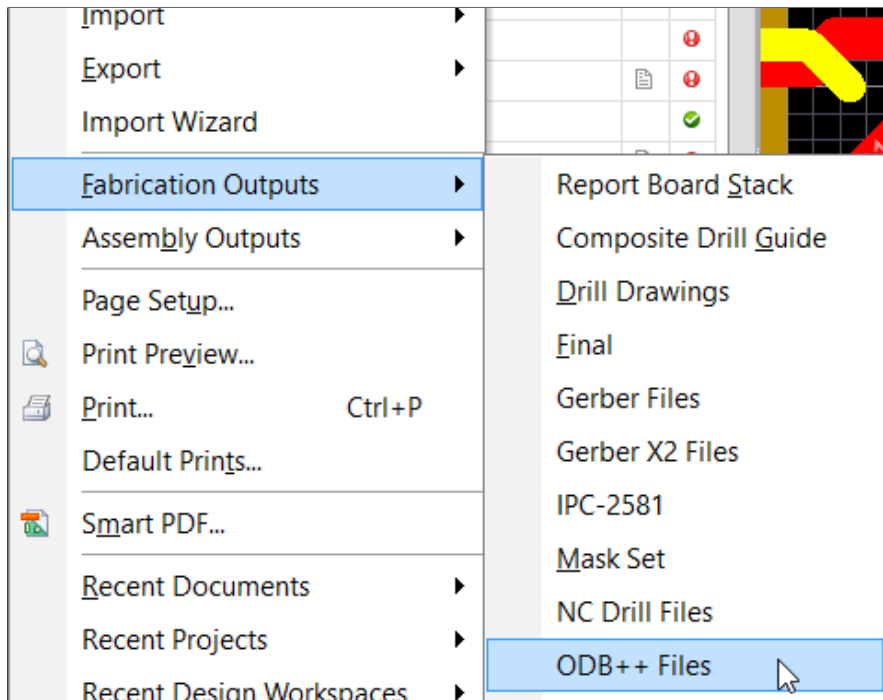


Figura 5.1: Exportación de modelo ODB++ desde Altium Designer.

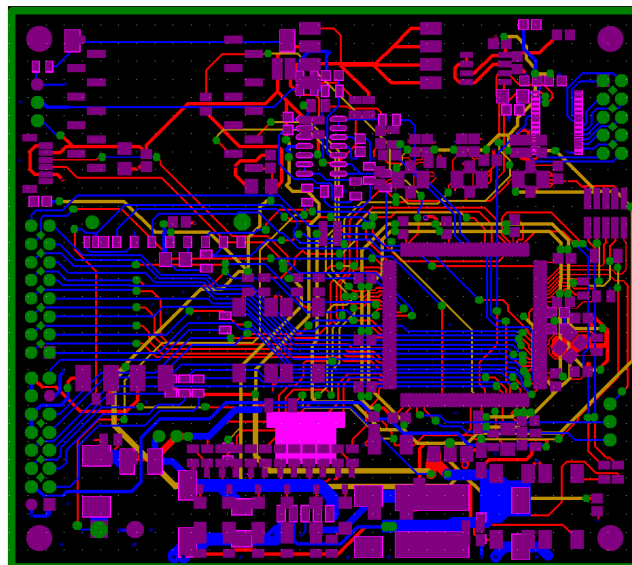


Figura 5.2: Vista de todas las capas del PCB en formato ODB++.

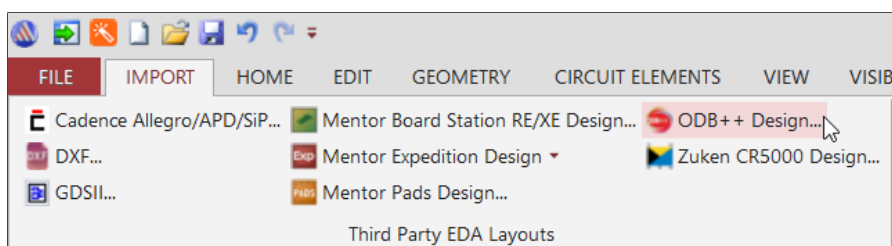


Figura 5.3: Importación de ODB++ en SIWave.



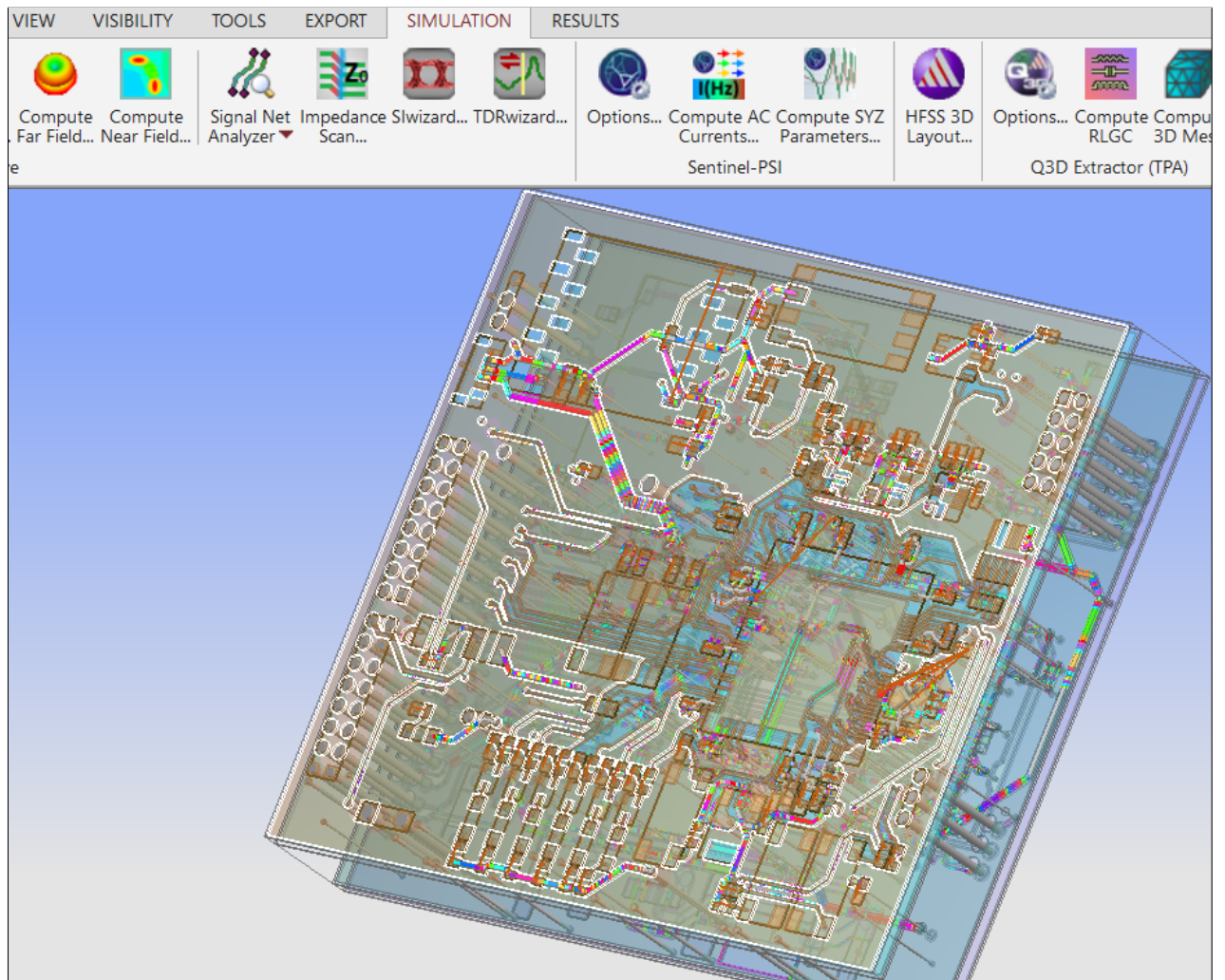


Figura 5.4: Modelo Importado en SIWave.

## 5.2. Simulación de Campo Cercano

Para identificar posibles problemas de EMI se recurrió a una simulación de campo cercano, que muestra la intensidad de campo eléctrico e intensidad de campo magnético en un cubo a 1 m de distancia del PCB. La selección de la simulación se muestra en la figura 5.5.

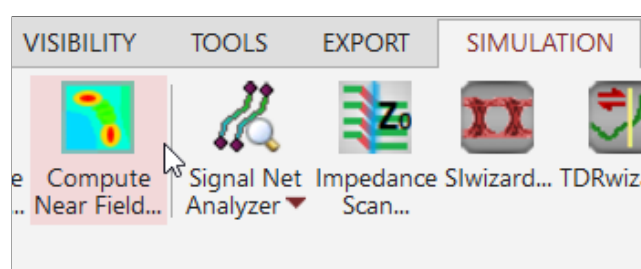


Figura 5.5: Selección de simulación en campo cercano.

La simulación se realizó en un rango de frecuencia de  $30\text{ MHz}$  a  $1\text{ GHz}$  de tal forma que se cubra el rango de frecuencias a las que hace mención la normativa clase A y B de la FCC, la frontera que se analiza es un cubo a  $1\text{ m}$  de distancia de los planos cartesianos tangentes a la placa.

### 5.3. Resultados de simulación

El resultado del barrido en frecuencia en campo cercano muestra dos picos de campo eléctrico, uno en  $600\text{ MHz}$  y otro en  $700\text{ MHz}$ . El resultado se presenta en las figuras 5.6 y 5.7.

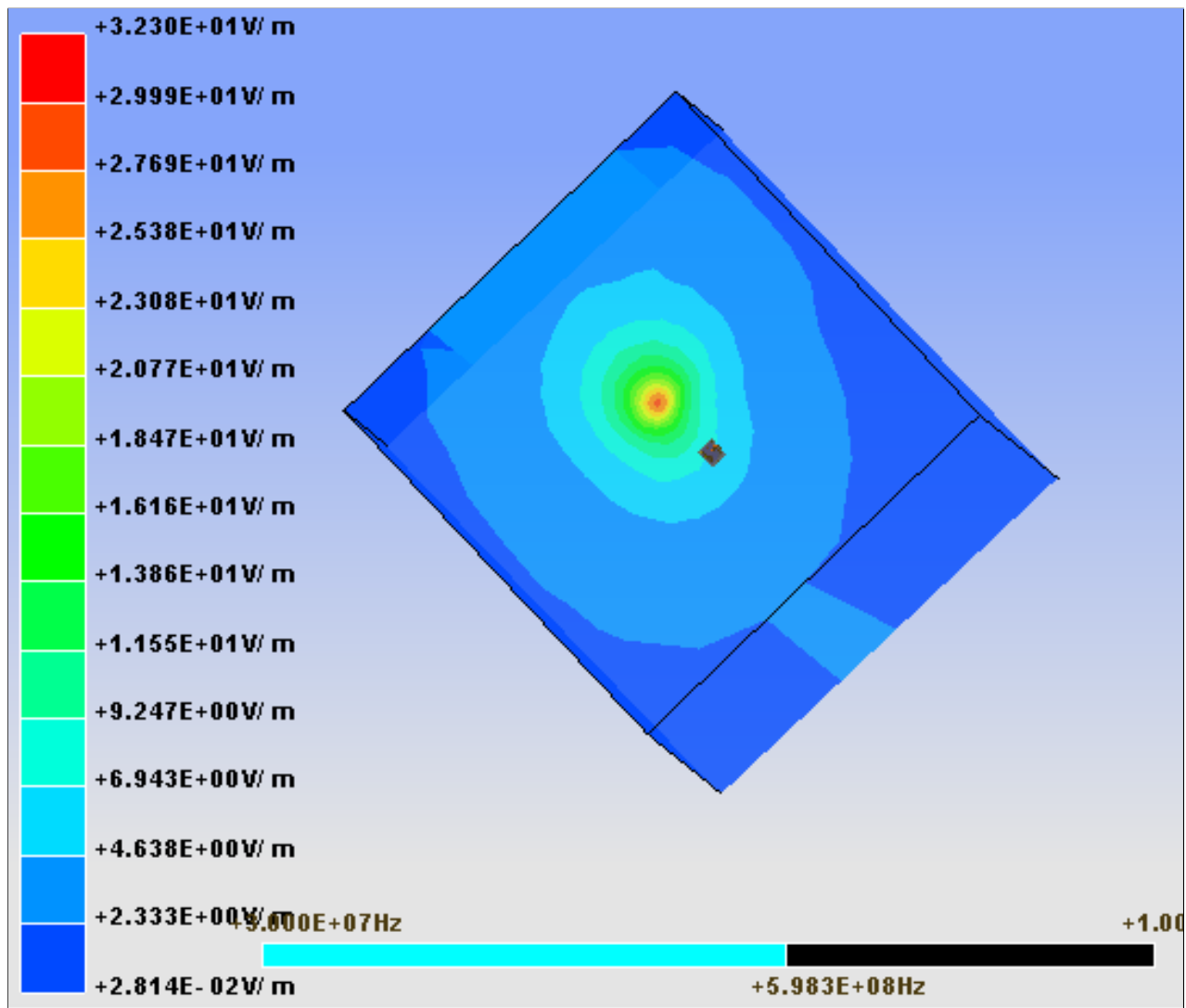


Figura 5.6: Pico de campo eléctrico en  $600\text{ MHz}$ .

La simulación en campo cercano brinda una estimación de las frecuencias que presentarán mayor intensidad de radiación; esta información es de importancia para poder

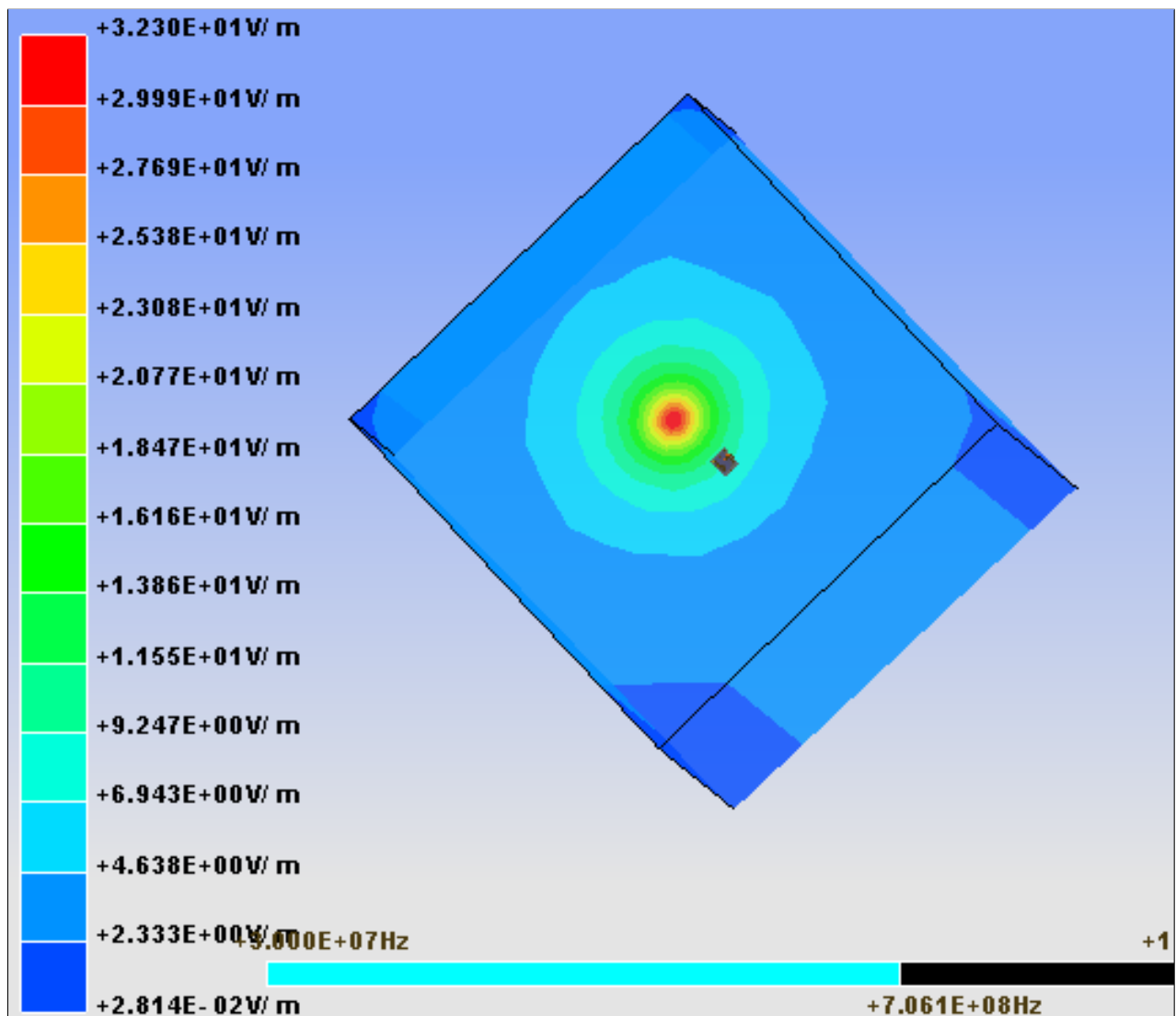


Figura 5.7: Pico de campo eléctrico en 700 MHz.

predecir el comportamiento en campo lejano, el cual es el que se evalúa en las pruebas de certificación de EMC.

Pese a que no existe una correlación entre las mediciones de campo cercano y las mediciones de campo lejano [13], la única guía que se puede seguir es que a mayor intensidad de campo cercano, mayor será la de campo lejano.

En resumidas cuentas el análisis del campo cercano solo puede dar, de alguna forma, una noción para estimar en qué zona del PCB hay mayores radiaciones, es decir, se evidencian sectores específicos en que el diseñador debe modificar la disposición de elementos para conseguir menos radiaciones (si estas se encuentran por encima de los niveles máximos establecidos en la norma de la FCC).

Otra información importante que se puede extraer es sobre la naturaleza del campo irradiado (eléctrico o magnético). Saber qué campo es dominante permite al diseñador saber qué reglas de diseño debe verificar para reducir las emisiones y hacer correcciones



al diseño del PCB.

Cuando se mida el campo irradiado del PCB implementado, se deberá tener en cuenta un exhaustivo análisis de aquellas frecuencias que representan un pico en las simulaciones.

# Capítulo 6

## Implementación

A partir de los GERBER generados en el diseño de PCB se obtienen las placas de cuatro capas fabricadas. Luego del proceso de soldado de todos los componentes se obtuvo el resultado mostrado en las figuras 6.1 y 6.2.

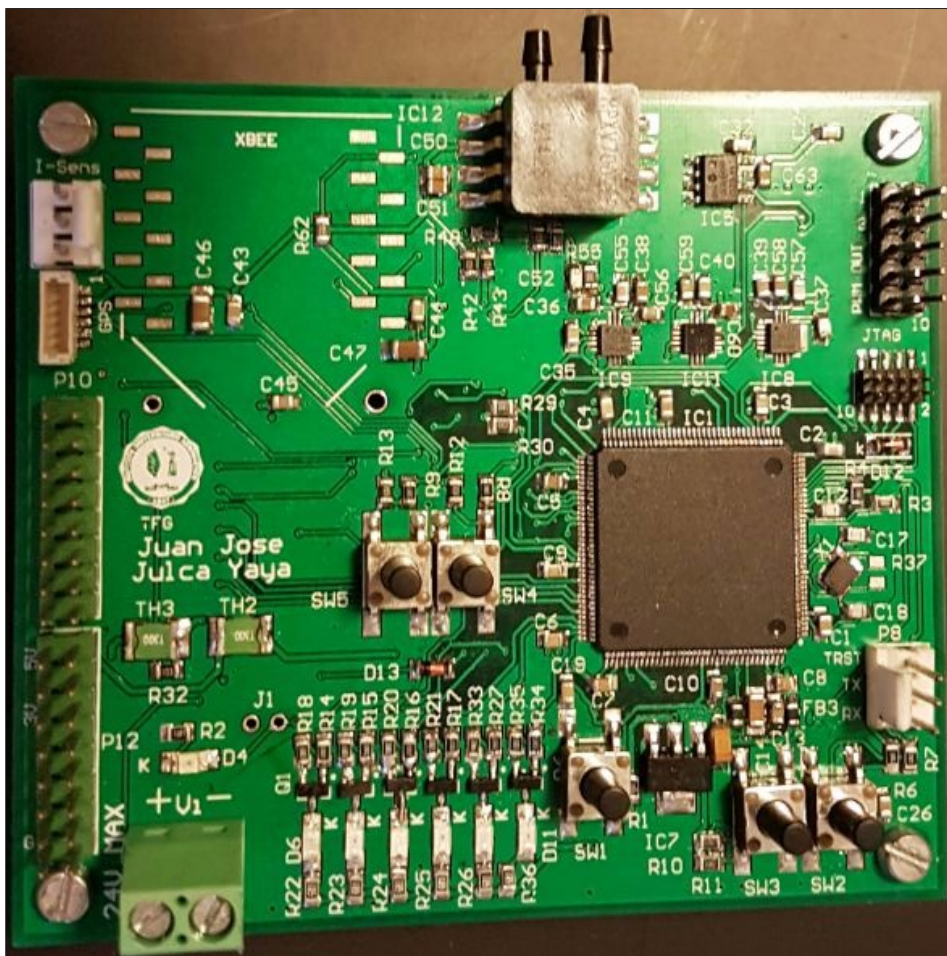


Figura 6.1: PCB multicapa implementado (Vista frontal).

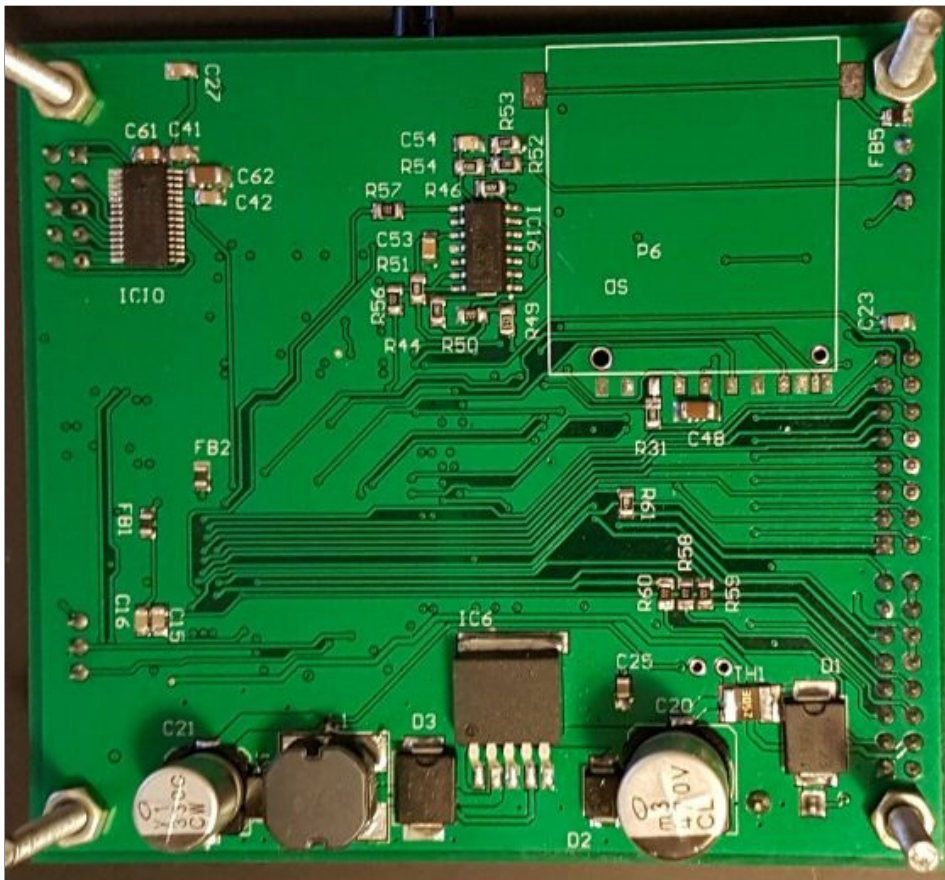


Figura 6.2: PCB multicapa implementado (Vista trasera).

# Capítulo 7

## Diseño de PCB de 2 capas para Debugger

Para poder realizar pruebas sobre la placa es necesario diseñar e implementar el circuito debugger presentado en la sección 3.12, este PCB se diseñó con los mismos lineamientos de compatibilidad electromagnéticos del sistema de control embebido.

A continuación, en las figuras 7.1 y 7.2 se muestran imágenes de los archivos de fabricación del debugger.

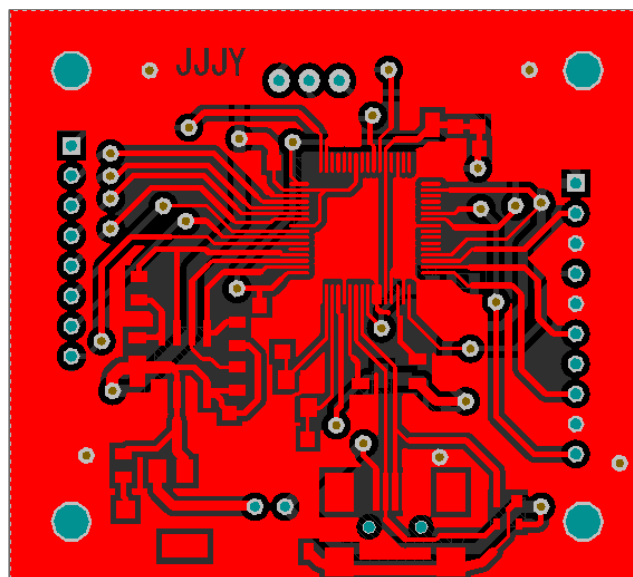


Figura 7.1: Capa «Top» del debugger.

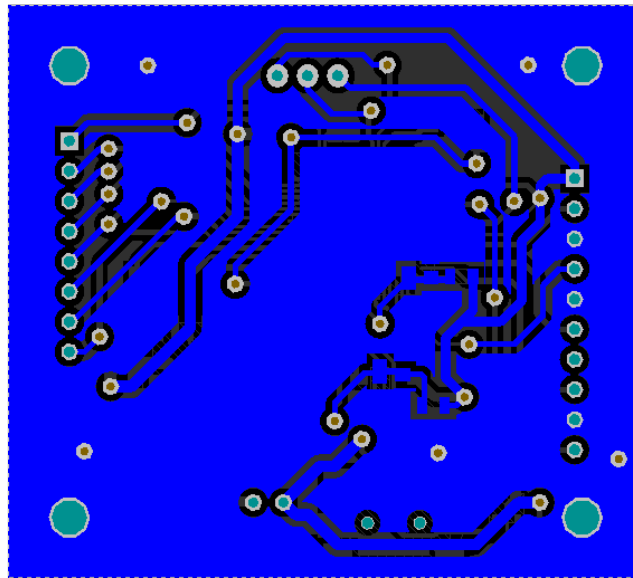


Figura 7.2: Capa «Bottom» del debugger.

## 7.1. Debugger implementado

El debugger implementado se muestra en las figuras 7.3 y 7.4, para su fabricación se recurrió al método de la transferencia de toner para un PCB de doble capa.

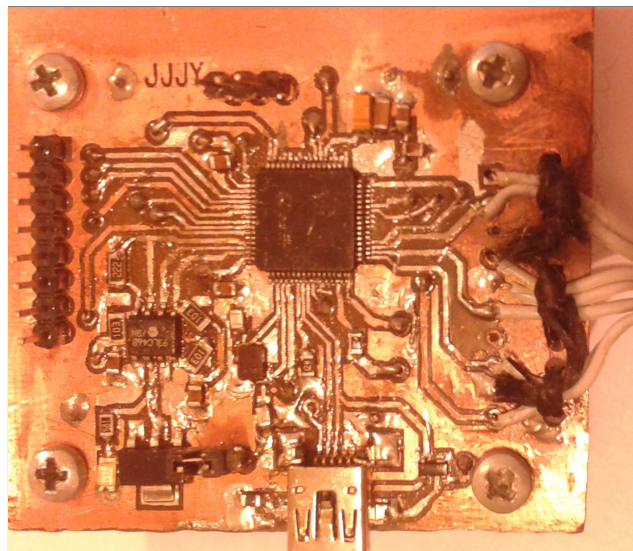


Figura 7.3: Vista superior de la placa Debugger.

## 7.2. Prueba de funcionamiento

El debugger diseñado se conectó al sistema de control por el puerto JTAG de 10 pines. Empleando el IDE del proyecto CIAA, el cual está basado en Eclipse, se cargó un ejemplo básico de prendido y apagado de leds.



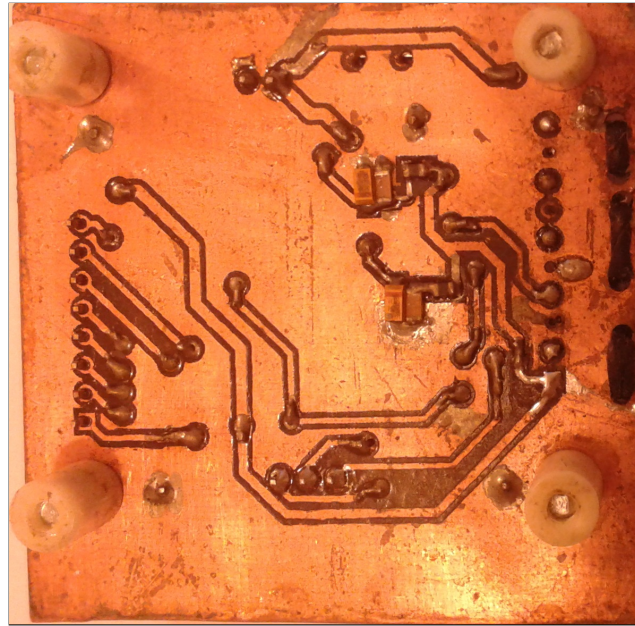


Figura 7.4: Vista inferior de la placa Debugger.

Esta primera prueba fué exitosa, como se puede apreciar en la figura 7.5.

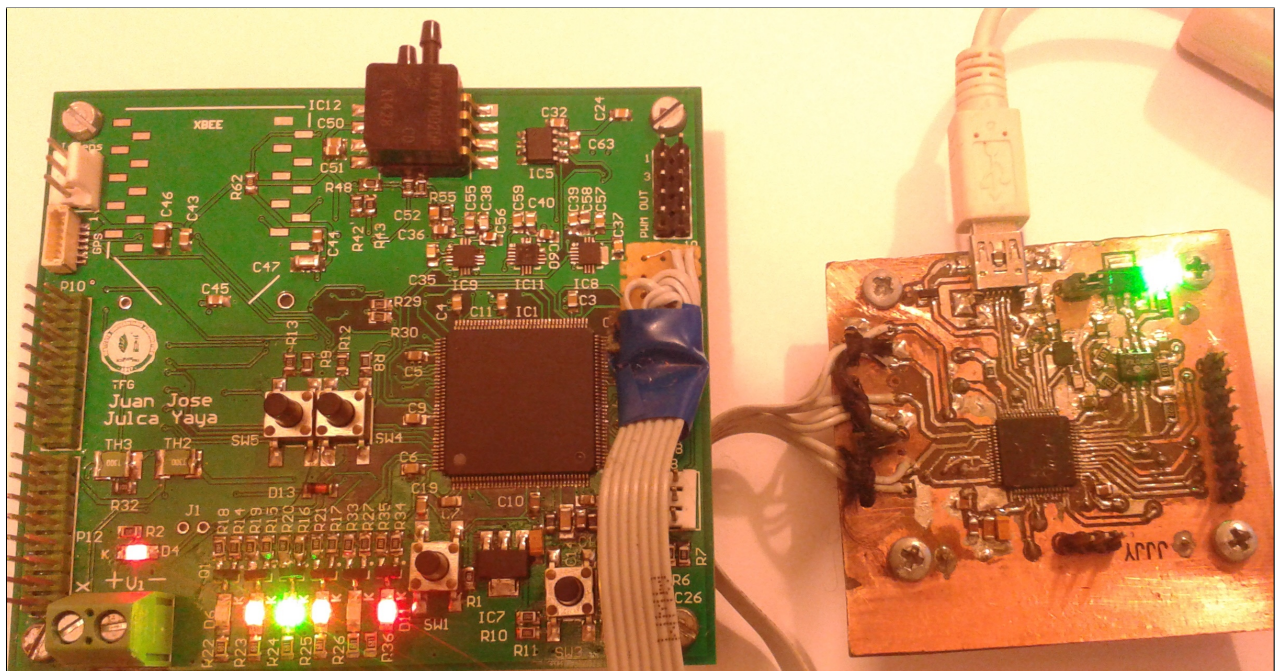


Figura 7.5: Sistema embebido conectado al debugger corriendo una aplicación.



# Capítulo 8

## Conclusiones y trabajos futuros

Se logró el objetivo de diseñar e implementar una placa de cuatro capas con consideraciones de EMC. El sistema desarrollado es robusto y de menor tamaño que el prototipo funcional al que se busca reemplazar.

Todo el desarrollo fue encaminado con reglas de diseño para preservar la EMC del PCB, cada regla empleada fue analizada y validada teóricamente. También se pudo, mediante el empleo de software de simulación, identificar posibles frecuencias a las que este PCB podría presentar niveles de radiación por encima de la norma FCC.

Queda como trabajo pendiente realizar pruebas de funcionamiento a los otros circuitos integrados que componen el PCB; esto se realizará a medida que se desarrolle el firmware para cada periférico. También queda como trabajo pendiente, la utilización de puntas de campo cercano para corroborar la validez de las simulaciones. El siguiente paso sería utilizar una antena omnidireccional para realizar pruebas midiendo la intensidad del campo eléctrico a  $3\text{ m}$  y verificar el cumplimiento de la norma FCC.



# **Anexo A**

## **Esquemáticos**

Se presenta en distintas páginas de tamaño A3, los esquemáticos generados con Altium.

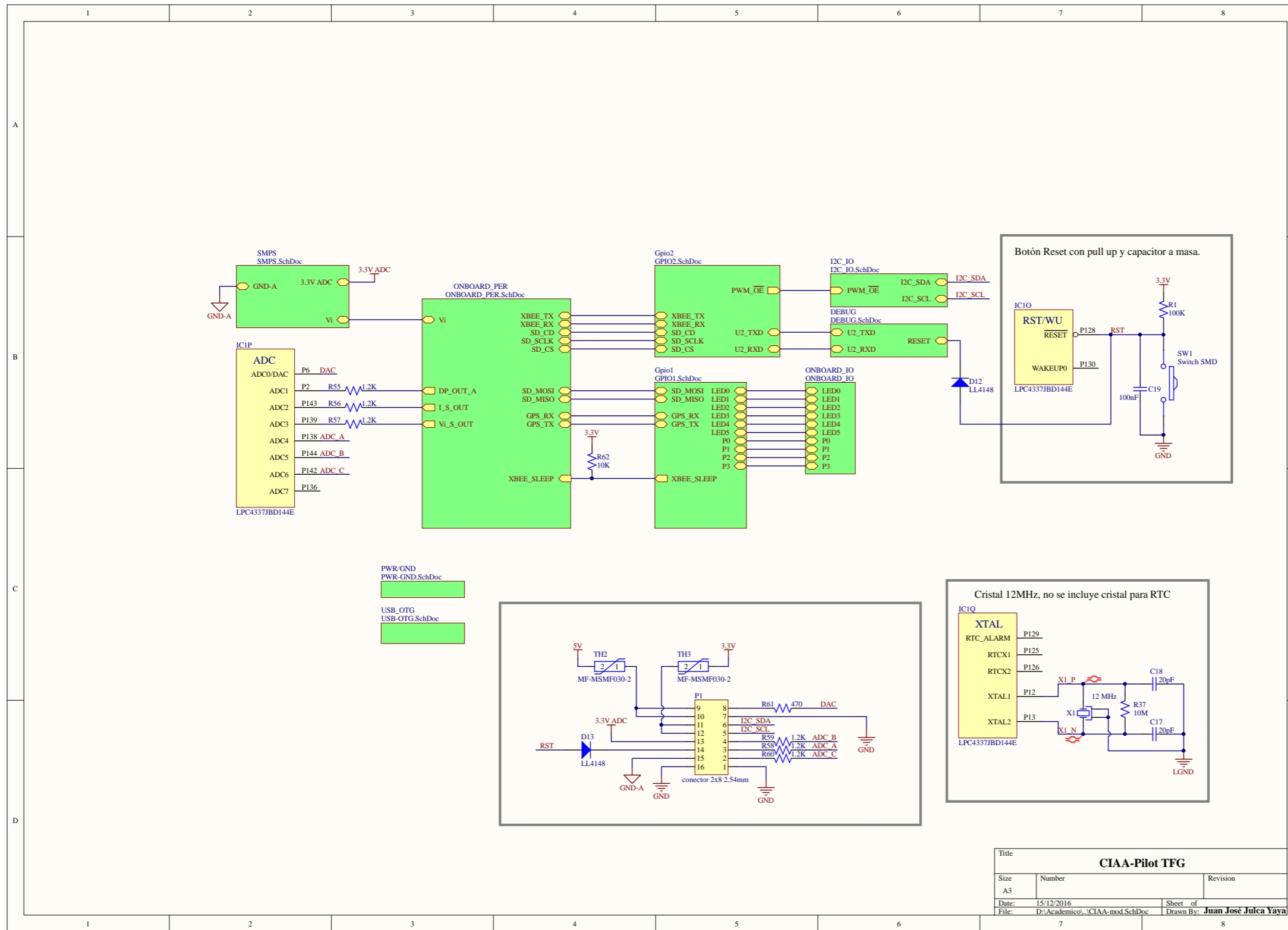


Figura A.1: Esquemático Principal.

Title		
<b>CIAA-Pilot TFG</b>		
Size	Number	Revision
A3		
Date:	15/12/2016	Sheet of
File:	D:\Academico\...CIAA-mod.SchDoc	Drawn By: <b>Juan José Julca Yava</b>

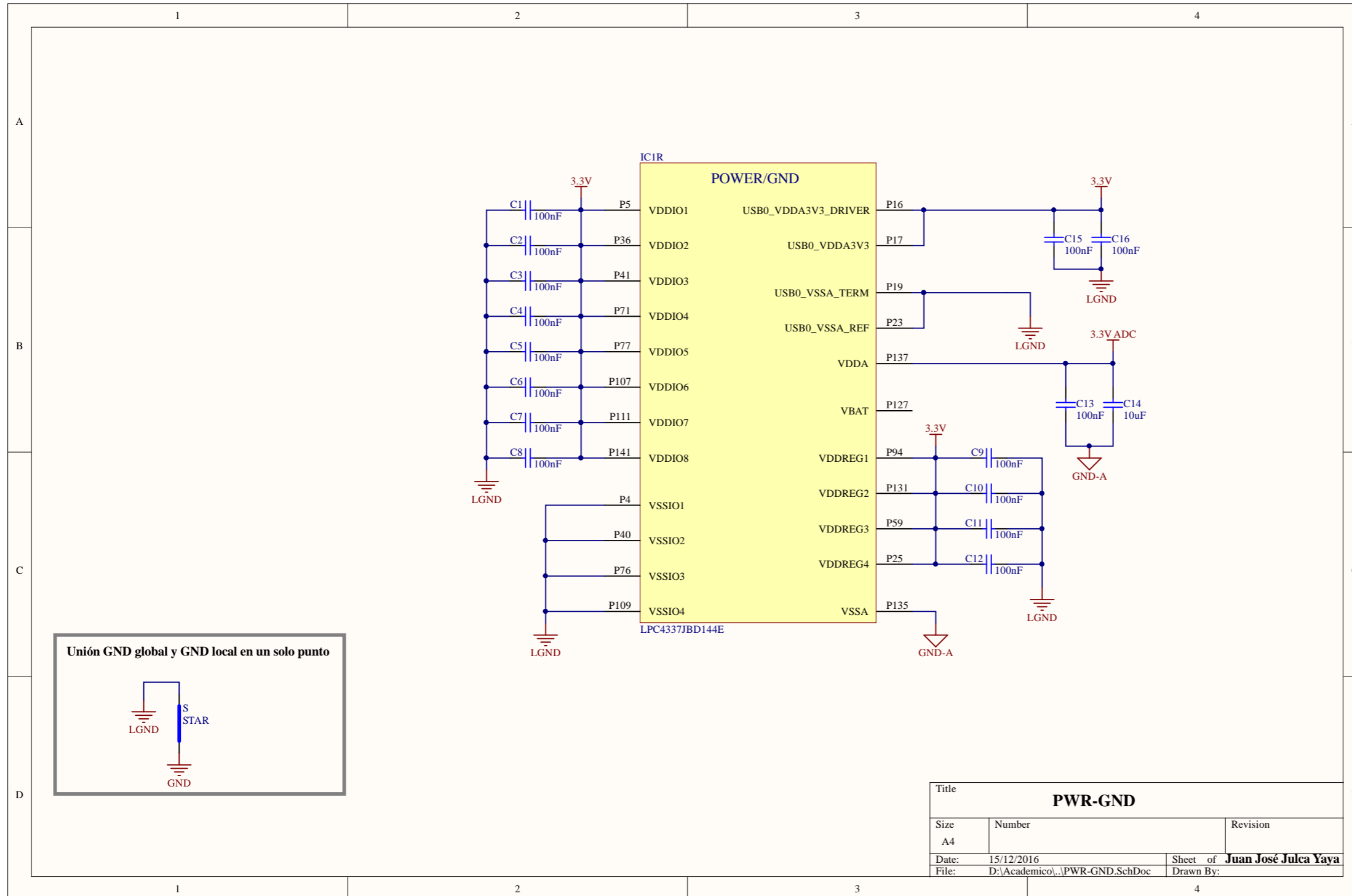


Figura A.2: PWR-GND.

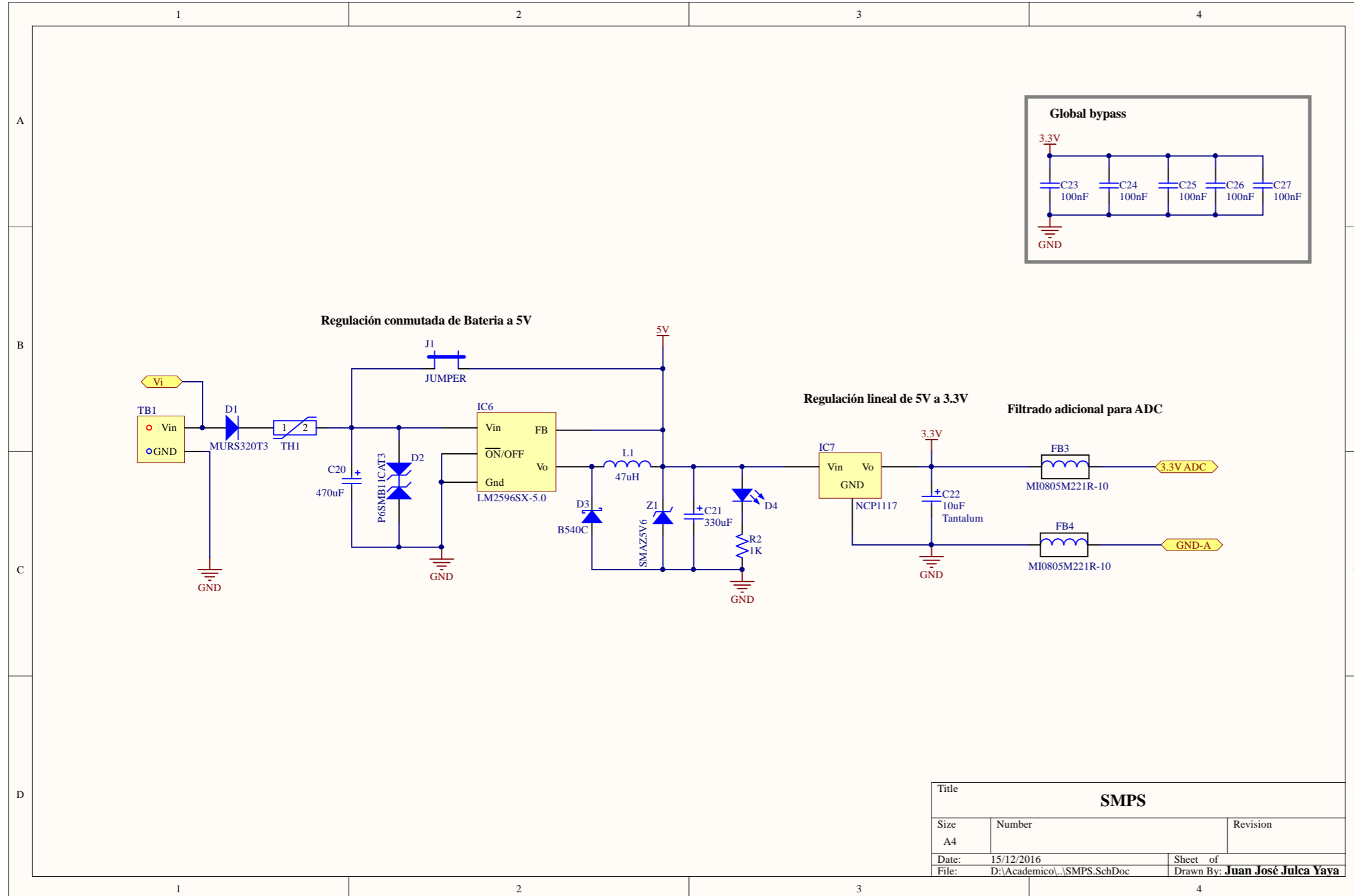


Figura A.3: Fuente Conmutada.



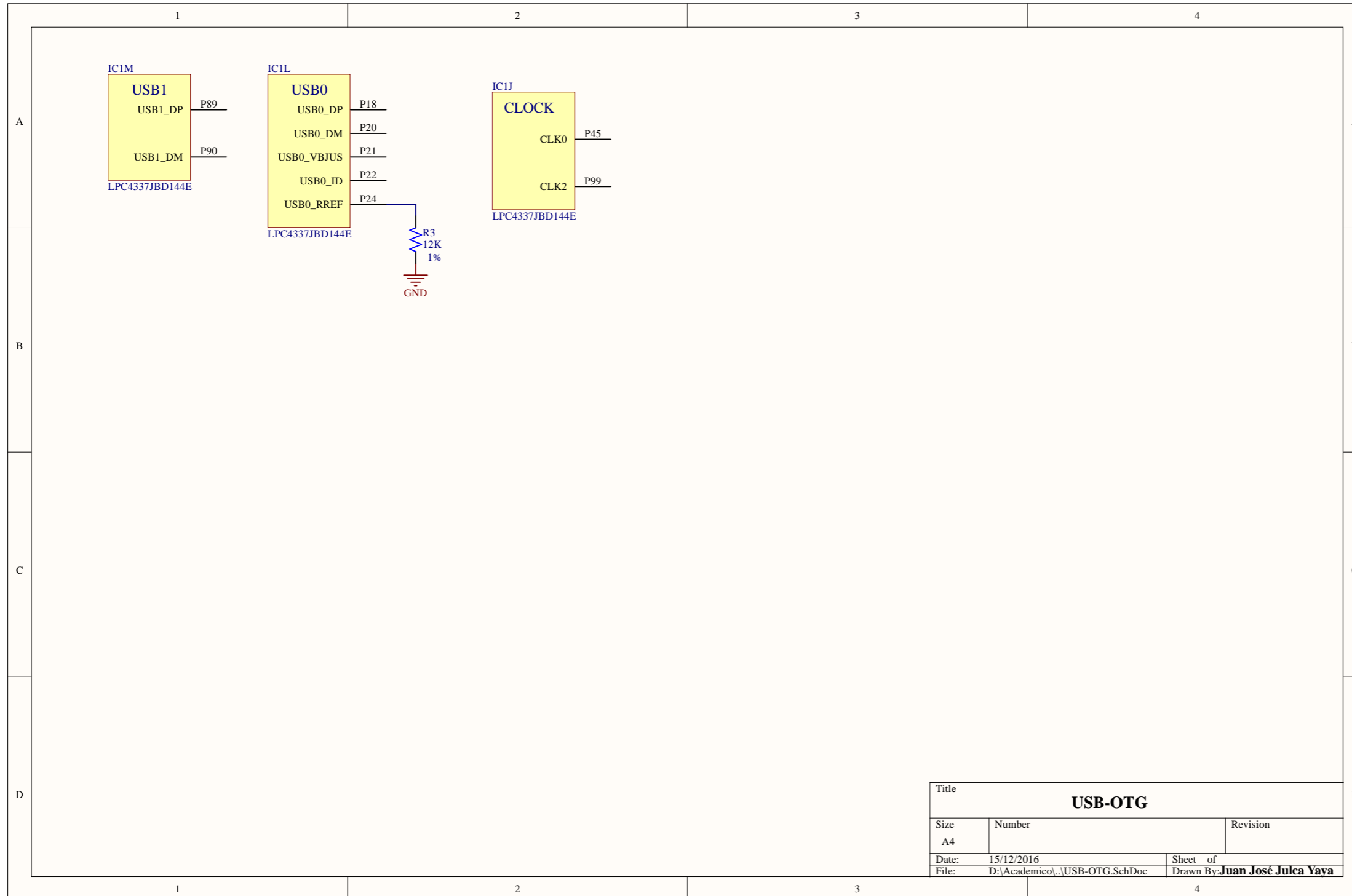
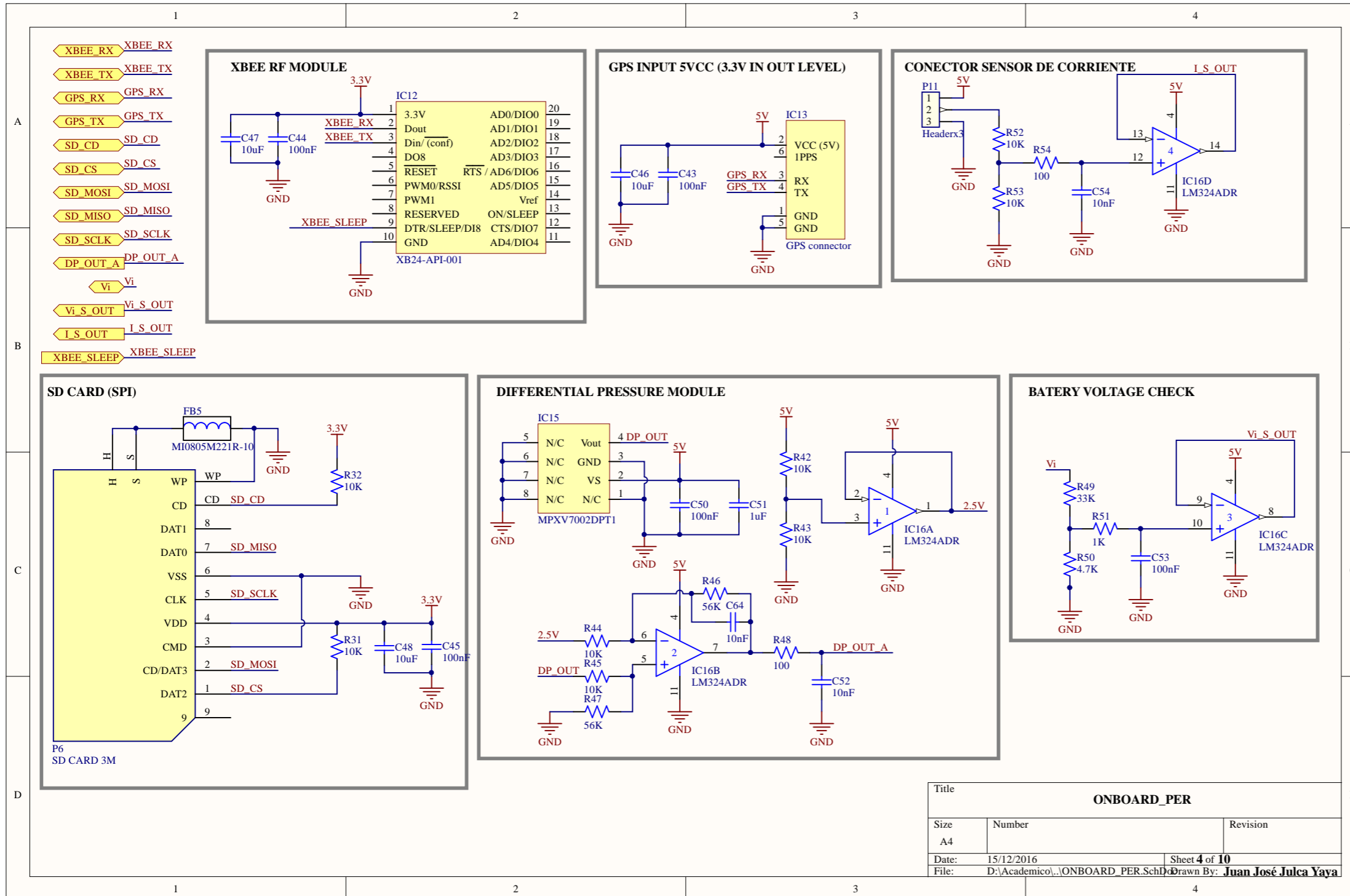


Figura A.4: USB-OTG.



Title		
<b>ONBOARD_PER</b>		
Size	Number	Revision
A4		
Date:	15/12/2016	Sheet 4 of 10
File:	D:\Academico\...\ONBOARD_PER.SchDoc Drawn By: <b>Juan José Julca Yaya</b>	

Figura A.5: ONBOARD PERIPHERALS.

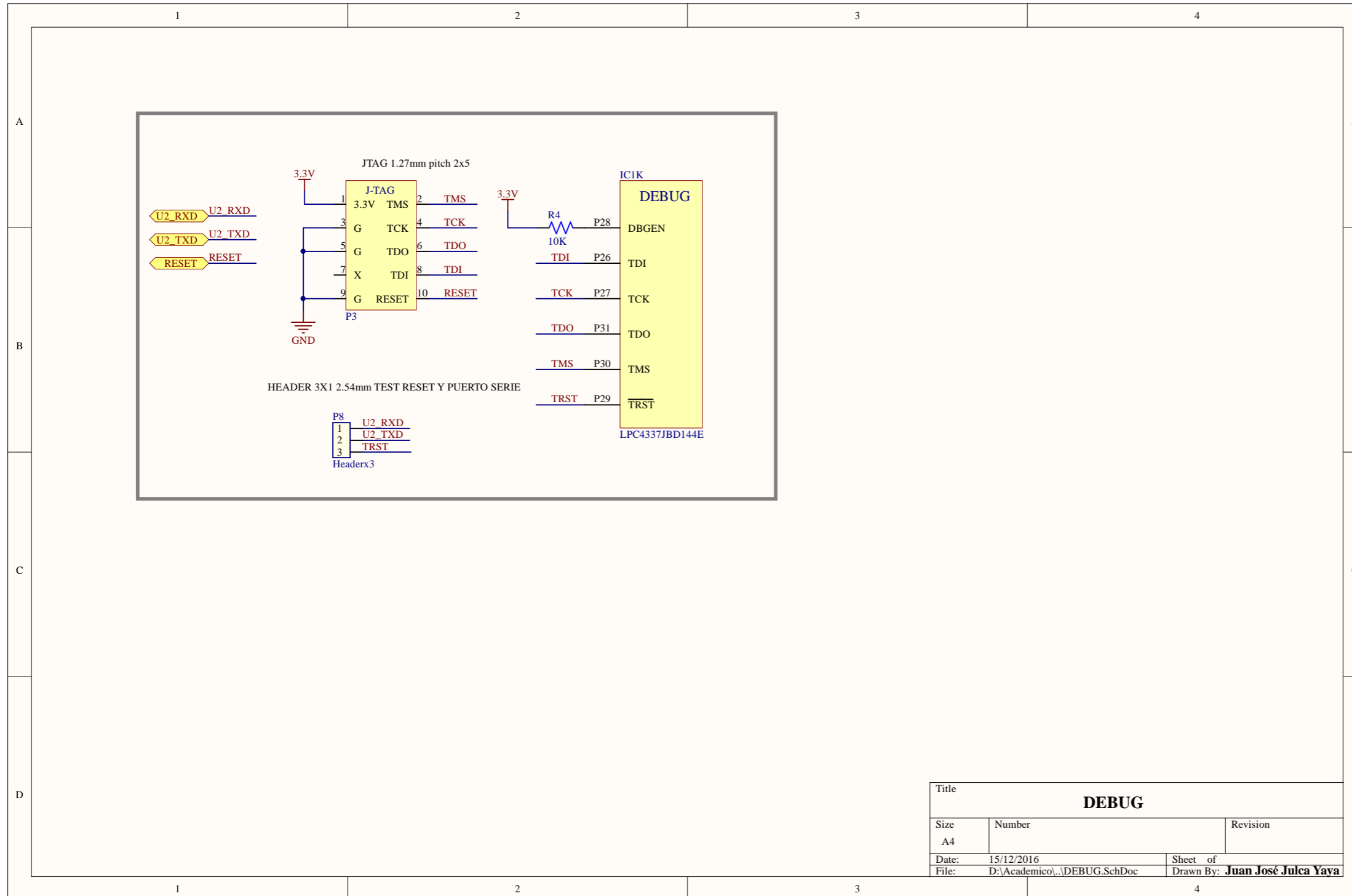


Figura A.6: DEBUG.

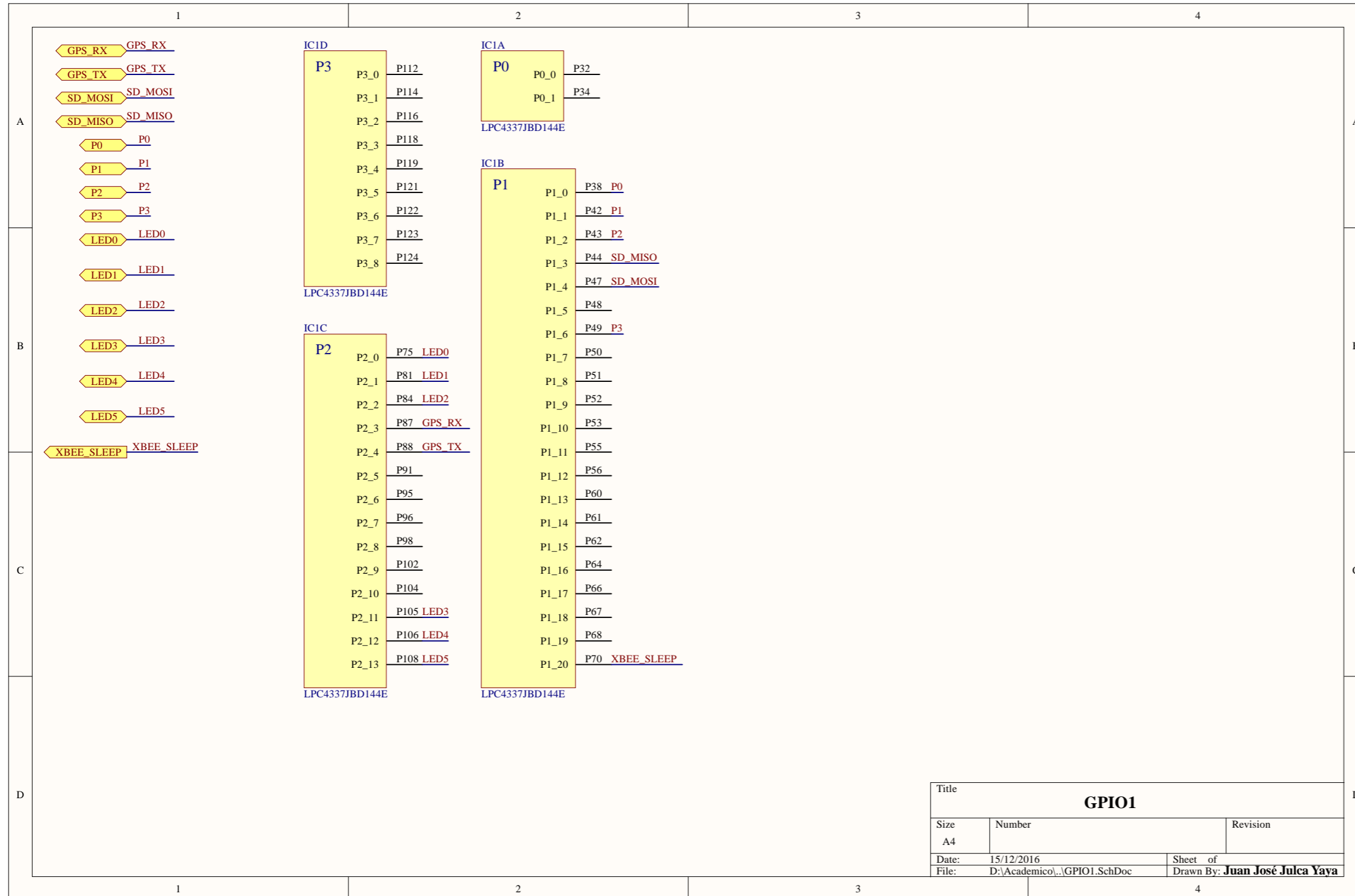


Figura A.7: GPIO I.

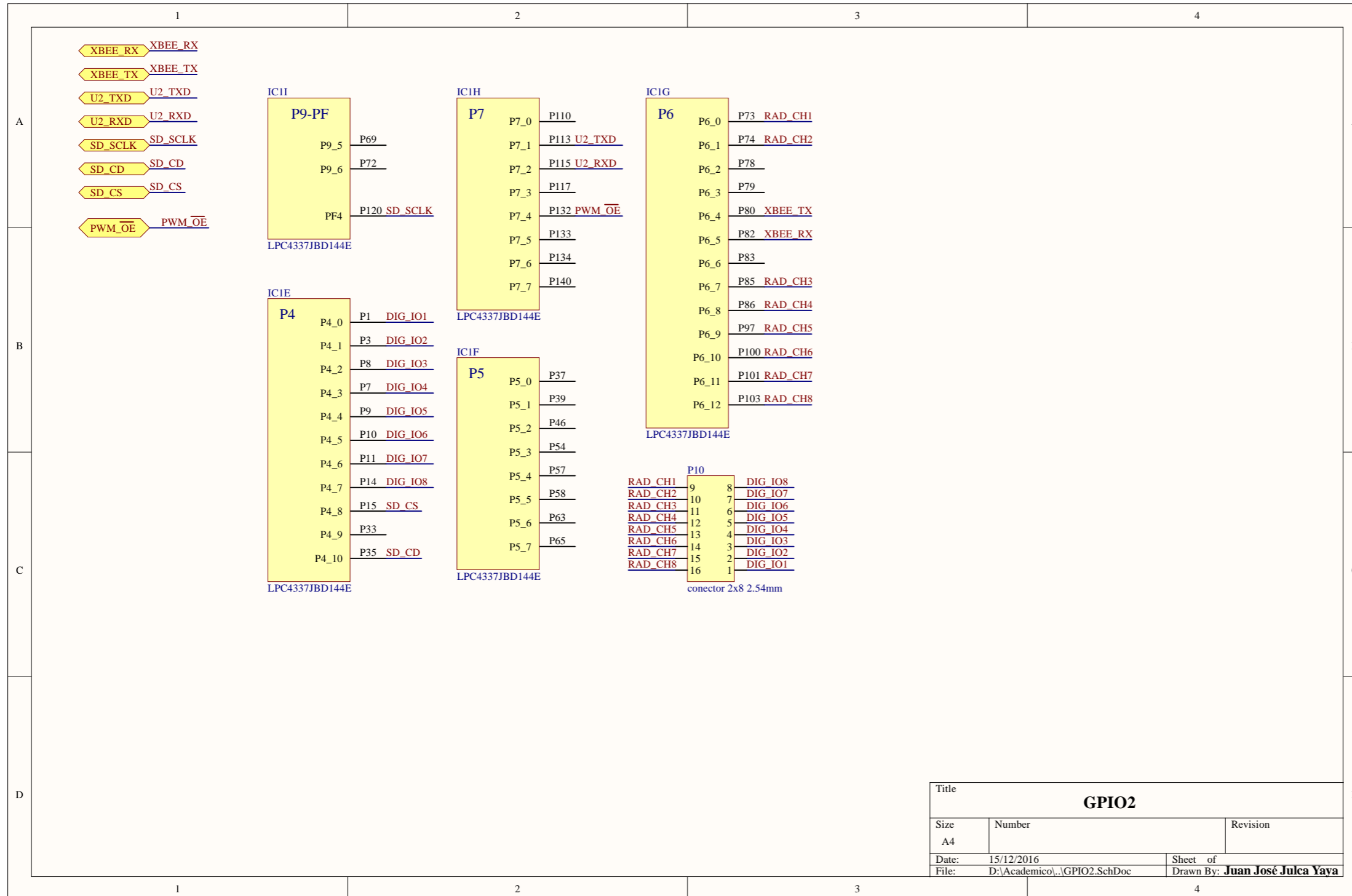


Figura A.8: GPIO II.



## **Anexo B**

### **Simulación con 20 inversores**

Se provee en al figura B.1 la simulación en LTSpice de la fuente de alimentación afectada por 20 inversores.

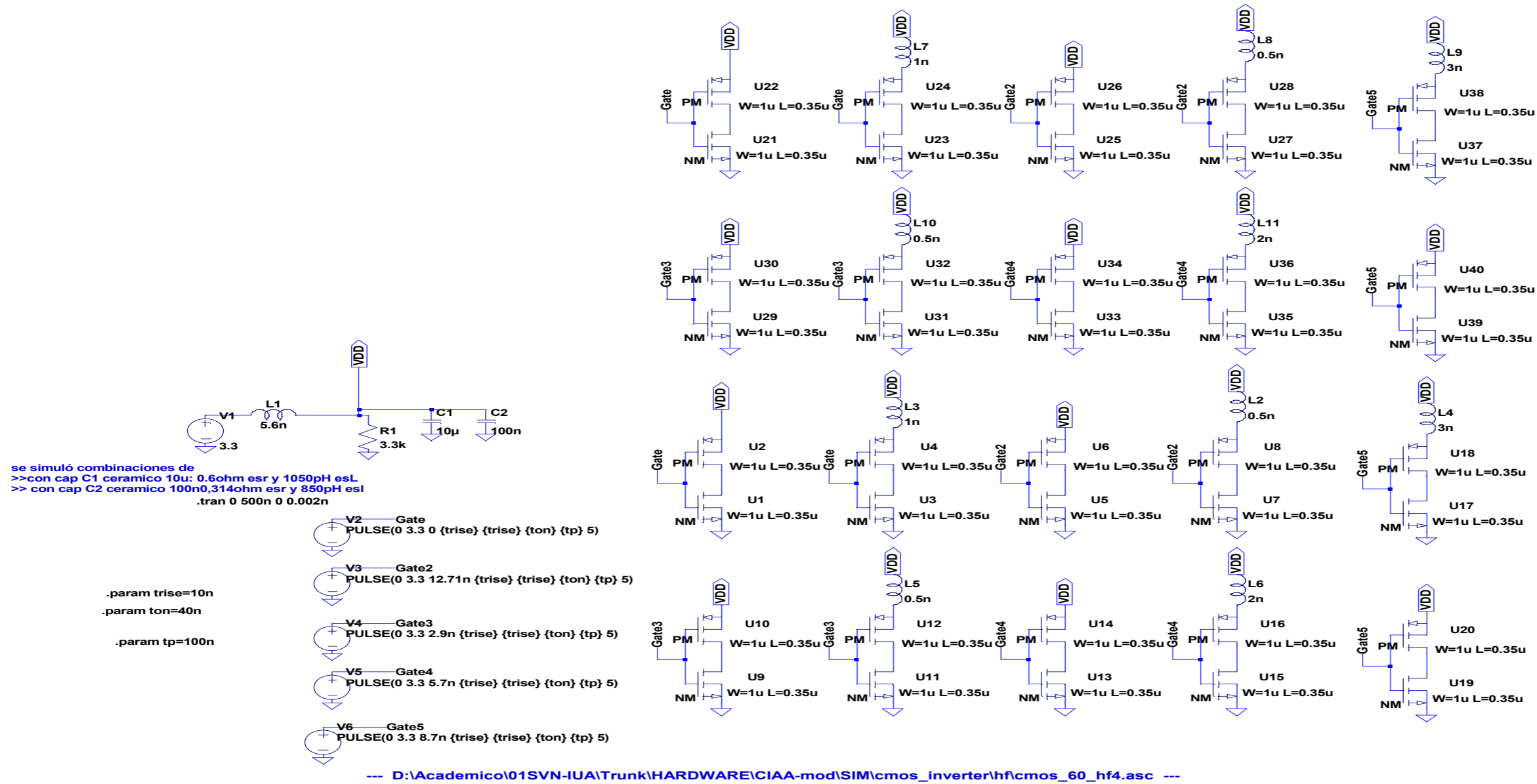


Figura B.1: Simulación con 20 inversores.



# Bibliografía

- [1] C. Alberoni, "Diseño y desarrollo de autopiloto para paracaída implementado en Computadora Industrial Abierta Argentina," 2016, Instituto Universitario Aeronáutico.
- [2] "EDU-CIAA-NXP," 2014, [Online; accedido el 5 de diciembre de 2016]. Disponible en: <http://proyecto-ciaa.com.ar/devwiki/doku.php?id=desarrollo:edu-ciaa:edu-ciaa-nxp>
- [3] H. Ott, *Electromagnetic Compatibility Engineering*. Hoboken, New Jersey: Wiley, 2009.
- [4] F. C. C. 15.109, "Radiated emission limits." Disponible en: <https://www.law.cornell.edu/cfr/text/47/15.109>
- [5] J. D. Kraus, *Antennas*. New York: McGraw-Hill, 1988.
- [6] E. Hartner, "Beyond the Books - EMC, T-Lines & PCBs," 2014, [Online; accedido el 26 de noviembre de 2016]. Disponible en: <http://slideplayer.com/slide/9138212/>
- [7] C. Bowick, *RF Circuit design*. Burlington: Newnes, 2008.
- [8] J. Eco y A. Limjoco, "Ferrite bead Demystified," ANALOG DEVICES, Application Note AN-1368, 2011.
- [9] R. Arora, "I2C Bus Pullup Resistor Calculation," Texas Instrument, Application Report SLVA689, 2015.
- [10] G. Dash, "Minimizing Ringing and Crosstalk," 1998, [Online; accedido el 20 de noviembre de 2016]. Disponible en: [http://www.glendash.com/Dash\\_of\\_EMC/Ringing\\_and\\_Crosstalk/Ringing\\_and\\_Crosstalk.htm](http://www.glendash.com/Dash_of_EMC/Ringing_and_Crosstalk/Ringing_and_Crosstalk.htm)
- [11] R. J. D. Anish, G. Kranthi Kumar, "Minimization of Crosstalk in High Speed PCB," 2010, [Online; accedido el 21 de noviembre de 2016]. Disponible en: <http://www.wseas.us/e-library/conferences/2010/Cambridge/ICNVS/ICNVS-18.pdf>



- [12] D. Berg, M. Tanaka, Y. Ji, X. Ye, L. Drewnieak, T. Hubing, R. DuBroff, y T. V. Doren, "FDTD and FEM/OM Modeling of EMI Resulting from a Trace Near a PCB Edge," en *Proceedings of the IEEE International Symposium on Electromagnetic Compatibility*, 2000, pp. 135–140.
- [13] V. Kraz, "Near-Field Methods of Locating EMI Sources," en *Engineering Magazine*., 1995.
- [14] L. W. Ritchey, *Right the First Time a Practical Handbook on High Speed Pcb and System Design 1*. California: Speeding Edge, 2003.
- [15] E. B. Joffe, *Grounds for grounding - A Circuit to System Handbook*. New Jersey: Wiley, 2010.
- [16] T. Williams, *The Circuit Designer's Companion*. Burlington: Newnes, 2005.
- [17] S. K. Das y V. H. Shah, "Emission reduction techniques for printed circuit board," en *International Journal on recent and Innovation Trends in Computing and Communication Vol.3 Issue 4.*, 2015.
- [18] I. Kobeissi, "Noise reduction techniques for microcontroller-based systems," en *AN1705/D*, 2004.